

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(1)日本特許庁 (J.P.)

## 公開特許公報 (A)

(1)特許出願公報番号

特開平9-8206

(4)公開日 平成9年(1997)1月10日

(5)法1.C1.  
HOIL 23/50

登別記号 厅内管理番号

F1  
HOIL 23/50

技術表示住所

23/12

23/11

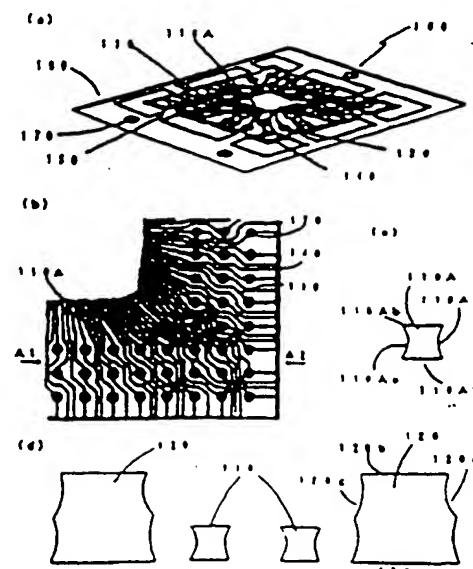
		審査請求 来源次 指次第の数? FD (全15頁)	
(1)出願番号	特開平7-173955	(1)出願人	000002897 大日本印刷株式会社 東京都新宿区市谷加茂町一丁目1番1号
(2)出願日	平成7年(1995)6月19日	(2)発明者	山田 三一 東京都新宿区市谷加茂町一丁目1番1号 大日本印刷株式会社内
		(3)発明者	佐々木 真 東京都新宿区市谷加茂町一丁目1番1号 大日本印刷株式会社内
		(4)代理人	弁護士 小西 信美

## (5)【発明の名称】リードフレームおよびBGAタイプの障壁封止型半導体装置

## (6)【要約】 (修正済)

【目的】多端子化に対応でき、且つ、一層の高密度化に対応できるリードフレームを用いたBGAタイプの障壁封止型半導体装置を提供する。

【構成】インナーリード構成層に沿い二次元的に配列された外部電極と電気的接続を行うための外部電子部120とを備えており、該インナーリードの先端部110Aは、該層構造が均方角で第1層、第2層、第3層、第4層の4層を有しており、かつ第1層は最外部でないリードフレームの厚さと同じ厚さの他の部分の一方の面と同一平面上にあって第2層に向かっており、第3層、第4層はインナーリードの内側に向かい凹んだ形状に形成されており、外周端子部は、該端子部が均方角で4面を有しており、1組の向かい合った2面はリードフレーム本体層上にあり、もう1組の2面はそれぞれ各端子部の内側から内側に向かい凸状である。



## 【特許請求の範囲】

【請求項1】 2段ニッティング加工によりインナーリードの先端部の厚さがリードフレーム素材の厚さよりも薄内に外形加工された、BGAタイプの半導体装置用のリードフレームであって、少なくとも、インナーリードと、該インナーリードと一体的に連結し、且つインナーリード形成面に沿い二次元的に配列された外部回路と電気的接続を行うための外部端子部とを備えており、該インナーリードの先端部は、断面形状が略方形で第1面、第2面、第3面、第4面の4面を有しており、かつ第1面はリードフレーム素材と同じ厚さの他の部分の一方の面と同一平面上にあって第2面に向かい合っており、第3面、第4面はインナーリードの内側に向かい凹んだ形状に形成されており、外部端子部は、断面形状が略方形で4面を有しており、1組の向かい合った2面はリードフレーム素材面上にあり、他の1組の2面はそれぞれ外部端子部の内側から外側に向かい凸状であることを特徴とするリードフレーム。

【請求項2】 前項1において、インナーリード部全體がリードフレーム素材の厚さよりも薄内に外形加工されていることを特徴とするリードフレーム。

【請求項3】 請求項1ないし2記載のリードフレームを用いたBGAタイプの樹脂封止型半導体装置であって、リードフレームの外部端子部の表面に半田等からなる外部回路と接続するための端子部を設けており、半導体素子は、電極部側の面において、インナーリード間に電極部が収まるようにして、インナーリードの第1面側に絶縁性接着材を介して固定されており、電極部はワイヤにてインナーリードの第2面側と電気的に接続されていることを特徴とするBGAタイプの樹脂封止型半導体装置。

【請求項4】 請求項1ないし2記載のリードフレームを用いたBGAタイプの樹脂封止型半導体装置であって、リードフレームの外部端子部の表面に半田等からなる外部回路と接続するための端子部を設けており、半導体素子は、半導体素子のパンプを介してインナーリードの第2面と電気的に接続していることを特徴とするBGAタイプの樹脂封止型半導体装置。

【請求項5】 請求項4記載におけるリードフレームのインナーリード先端の第2面がインナーリード側に凹んだ形状であることを特徴とする樹脂封止型半導体装置。

【請求項6】 請求項1ないし2記載のリードフレームを用いたBGAタイプの樹脂封止型半導体装置であって、リードフレームの外部端子部の表面に半田等からなる外部回路と接続するための端子部を設けており、前記リードフレームは、ダイパッド部を有するもので、且つ、該ダイパッド部は、半導体素子の電極部側の電極部間に収まる大きさで、インナーリード先端部と同じ厚さを持つもので、半導体素子は、半導体素子の電極部側の面とインナーリード先端の第2面とが同じ方向を向くよ

うにして、ダイパッド上に、電極部側の面を接着材により固定され、電極部はワイヤにてインナーリードの第2面側と電気的に接続されていることを特徴とするBGAタイプの樹脂封止型半導体装置。

【請求項7】 請求項1ないし2記載のリードフレームを用いたBGAタイプの樹脂封止型半導体装置であって、リードフレームの外部端子部の表面に半田等からなる外部回路と接続するための端子部を設けており、前記リードフレームは、ダイパッド部を有するもので、且つ、半導体素子は、半導体素子の電極部とインナーリード先端の第2面とが同じ方向を向くようにして、ダイパッド上に、電極部側とは反対側の面を接着材により固定され、電極部はワイヤにてインナーリード先端の第2面側と電気的に接続されていることを特徴とするBGAタイプの樹脂封止型半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、リードフレームをコア材として回路を形成した直実装型の樹脂封止型半導体装置用のリードフレーム部材に関し、特に、BGA (Ball Grid Array) タイプの半導体装置用のリードフレーム部材の製造方法に関する。

## 【0002】

【従来の技術】 近年、半導体装置は、電子機器の高機能化と堅薄短小化の傾向(時流)からLSIのASICに代表されるように、ますます高集成化、高機能化になっている。高集成化、高機能化された半導体装置においては、信号の高速処理のために、パッケージ内のインダクタンスが無視できない状況になってきて、パッケージ内のインダクタンスを低減するために、電源、グランドの接続端子数を多くし、実質的なインダクタンスを下げるようにして、対応してきた。この為、半導体装置の高集成化、高機能化は外部端子(ピン)の総数の増加となり、ますます多端子(ピン)化が求められるようになってきた。多端子(ピン)IC、特にゲートアレイやスクリングードセルに代表されるASICあるいは、マイコン、DSP (Digital Signal Processor) 等の半導体装置化には、リードフレームを用いたものとしては、QFP (Quad Flat Pack) 等の表面実装型パッケージが用いられており、QFPでは300ピンクラスのものまでが実用化に至っている。COPは、図14(b)に示す单層リードフレーム1410を用いたもので、図14(a)にその断面図を示すように、ダイパッド1411上に半導体素子1420を形成し、圧めき等の処理がされたインナーリード先端部142Aと半導体素子1420の端子(電極パッド)1421とをワイヤ1430にて結線した後に、樹脂1440で封止し、ゴムバー部をカットし、アウターリード1413部をガルウイニング法に折り曲げて作製されている。このようなQFPは、パッ

ケージの4万回転を目的にねじするためのア  
ウターリードを設けた構造となり、多段子（ピン）化に  
対応できるものとして開発されてきた。ここで用いられ  
る直角リードフレーム1410は、通常、コバルト、4  
2合金（42%Ni-1%Co）、鋼系合金等の導電性に優  
れ、且つ強度が大きい金属板をフォトリソグラフィー技術  
を用いたエッチング加工方法やスタンピング法等によ  
り、図14-(b)に示すような形に加工して作成され  
た。図14-(b)、(c)は直角リードフレーム  
の断面図である。

[10003] しかしながら、近年の半導体電子工業の発展の高密度化及び高性能化（集成化）には、更に多くの電子を必要としている。これに対し、QFPでは、内部はビッチを狭めることにより、更なる多層化に対応できるが、内部電子を複数化した場合、内部電子密度の増加も求めが必要があり、内部電子密度を低下させることとなる。その結果、電子化（ガルウイング化）の位置精度あるいは平坦度度等において問題を生じてしまう。また、QFPでは、アウターリードのピッチが、0.4mm, 0.3mmと更にピッチが狭くなるにつれ、これら狭ピッチの実装工事が難しくなってきて、高価なボード実装は折を実現せねばならない毎の傾向（問題）をかかえている。

〔0004〕これら従来のQFPパッケージがかかるる実質効率、実質性の問題を回避するために、半田ボールをパッケージの外部端子に直に接続した新実装型パッケージであるBGA (Ball Grid Array) と呼ばれるプラスチックパッケージ半導体装置が開発されてきた。BGAは、外部端子を基面にマトリクス状(アレイ状)に配置した半田ボールとした表面実装型半導体装置(プラスチックパッケージ)の総称である。通常、このBGAは、入出力電子を増やすために、周囲配置基板の片面に半導体素子を形成し、もう一方の面には他の半田を取付けた外部端子用電極を抜け、スルーホールを通じて半導体素子と外部端子用電極との連絡をとっていた。既述の半田をアレイ状に並べることにより、電子ビンチの問題を従来のリードフレームを用いた半導体装置より工性向上が可能である。この結果、半導体装置の実生工性を高められ、入出力電子の増加に対応できた。BGAは、一般に図11-(a)の裏面(基板)側からみた図で図11-(c)はスルーホール1150孔を示したものである。このBGAはBTレジン(ビスマスマレイミド系樹脂)を代表とする耐熱性を有する半成(実芯板)の基材1102の片面に半導体素子1101を形成するダイパッド1105と共に素子1101からポンディングワイヤ1108により素子間に半導体の接続をなすポンディングパッド

に配置されたキボルにより形成したカバ用底テクノロジ。モチラ、外部IC端子：106とボンディングバンド1110の間を配置1104とスルーホール1150、配置1104Aにより効率的に接続している構造である。しかしながら、このECAには複数のキボルとワイヤの局部を行き回路と、半導体基板にした後にプリント基板に実装するための外部端子用電極とを、品番1102の画面に沿け、これらをスルーホール1150

モ立して電気的に構成した複雑な構成であり、断路器の操作に際しては、各部の動作を順序的に行なう。

（10003）こめあ、竹田プロセスの原理化、は麻生の  
低下を回避するたり、上記G1-1に示す高価のものの他  
に、リードフレームをコア4として回路を形成したもの  
も、近々、販売されでまた、これらリードフレー  
ムを回路するRCAパッケージに、一例には、リードフ  
レーム1210の外端子部1214に方孔4つを所に  
所定の丸を開けた、絶縁フィルム1260上にリードフ  
レーム1210を配置して、底部封止した図12(a)  
10 に示すような構造、ないし図12(b)に示すような構  
造をとっていた。上記リードフレームを用いるRCAパ  
ッケージに用いられるリードフレームは、次第、図13に  
示すようなエッチング加工方法により作製されており、  
外部端子部1214とインナーリード1212ともリード  
フレーム素材の厚さに作製されていた。ここで、図1  
3に示すエッチング加工方法を簡単に説明しておく。先  
ず、純金もしくは4.2%ニッケル-純金からなる厚  
さ20.25mm程度の薄板（リードフレーム素材131  
0）を十分洗浄（図13(b)）した後、重クロム酸カ  
リクムを反応剤とした水溶液をゼインジスト等のウ  
トレジスト1320を該薄板の裏表間に均一に塗布す  
る。（(図13(b))）

次いで、所定のパターンが形成されたマスクを介して高圧水銀灯でレジスト部を発光した後、所定の現象度では感光性レジストを現像して(図13(c))。レジストパターン330を形成し、淀墨処理、洗浄処理等を必要に応じて行い、強化氯化ニッケル塗膜を生たら成分とするエッチング液にて、スプレイにて該腐蝕(リードフレーム部材1310)に吹き付け所定の寸法尺寸にエッチングし、露地させう。(図13(d))。

はいて、レジスト面を長時間処理し(図1) (e))。次に後、所定のリードフレームを持って、エッティング加工工程を終了する。このように、エッティング加工によって作成されたリードフレームには、更に、所定のエリアに面メッキ等が施される。はいて、焼付、成形等の処理を経て、インシテーラート紙を固定用のねじ軸用ボリュミドテープにてテーピング固定したり、そ側に応じて所定の電タップクリバーを巻げ加工し、ダイバッドビンをダクシニ

め、図13に示すようなエッチングの工方法においては、外端化加工に関しては、加工される素材の底面からくる境界があつた。

## 〔0006〕

(発明が解決しようとする構造) 上記のように、リードフレームをコア材として用いたBGAタイプの底面封止型半導体基板においては、図14(b)に示す直層リードフレームを用いた半導体基板に比べ、同じ寸法で外端部と隣接するための外端部ピッチを広くでき、また

底面基板の底面エッジを削ることなく、入出力端子の切削加工に対応できだが、一層の多端子化に付して

リードの底ピッチが大きくなる対応がみられる。したがって、本発明は、これに対応するためのもので、直層の多端子化に付して、リードフレームをコア材として回路を形成した場合の半導体基板を提供することを目的とするものである。同時に、このような多端子化を達成するためのリードフレームを開発しようとするものである。

## 〔0007〕

(構造を有するための手段) 本発明のリードフレームには、2枚エッチング加工によりインナーリードの先端部の厚さがリードフレーム素材の厚さよりも薄内に外端加工された、BGAタイプの半導体基板用のリードフレームであつて、少なくとも、インナーリードと、直インナーリードと一体的に連結し、且つインナーリードを底面に用い二次元的に配列された外端回路と電気的接続を行うための外端端子部とを備えており、且インナーリードの先端部は、断面形状が四方形で第1面、第2面、第3面、第4面の4面を有しており、かつ第1面はリードフレーム素材と同じ厚さの他の部分の一方の面と同一平面にあって第2面に向かい合っており、第3面、第4面はインナーリードの内側に向かい凹んだ形状に形成されており、外端端子部は、断面形状が四方形で4面を有しており、1辺の向かい合った2面はリードフレーム素材面上にあり、他の1辺の2面はそれぞれ外端端子部の内側から外側に向かい凸状であることを特徴とするものである。そして、上記において、インナーリード部全体がリードフレーム素材の厚さよりも薄内に外端加工されていることを特徴とするものである。また、本発明のBGAタイプの半導体基板は、上記本発明のリードフレームを用いたBGAタイプの底面封止型半導体基板であつて、リードフレームの外端端子部の表面に半田等からなる外端回路と隣接するための端子部を設けており、且本リードフレームは、ダイパッド部を有するもので、且つ、且タイガーパッドは、半導体端子部の最底部(バッド)側の底面形状は正方形である。インナーリード先端部と同じ厚さを有するもので、半導体端子は、半導体端子部の最底部の正方形(バッド)の第2面とが同じ方向を向くようにして、ダイパッド上に、電極部(パッド)側の面を接着材により固定され、電極部(パッド)はワイヤにてインナーリード先端の第2面側と電気的に接続されいることを特徴とするものである。また、本発明のBGAタイプの半導体基板は、上記本発明のリードフレームを用いたBGAタイプの底面封止型半導体基板であつて、リードフレームの外端端子部の表面に半田等からなる外端回路と隣接するための端子部を設けており、且本リードフレームは、ダイパッド部を有するもので、且つ、半導体端子は、半導体端子部の最底部(パッド)とインナーリード先端の第2面とが同じ方向を向くようにして、ダイパッド上に、電極部(パッド)側とは反対側の面を接着材により固定され、電極部(パッド)はワイヤにてインナーリード先端の第2面側と電気的に接続されていることを特徴とするものである。

〔0008〕

(作用) 本発明のリードフレームは、上記のような構成にすることにより、本発明の、一層の多端子化に対応できるBGAタイプの底面封止型半導体基板の作製を可能とするものである。詳しくは、本発明のリードフレームは、2枚エッチング加工によりインナーリードの先端部の厚さがリードフレーム素材の厚さよりも薄内に外端加工されたものであることより、即ち、図8、図9に示すようなエッチング加工方法により、インナーリードの先端部の厚さが素材の厚さよりも薄内に外端加工できることができる。インナーリードの底ピッチ化に付してからもとのとしている。そして、リードフレームが、インナーリードと一体的にはさした外端回路と隣接するための外端端子部を、リードフレーム底に付ける二次元的に配列して並べていることより、BGAタイプの半導体基板に付してからもとのとしている。そして、インナーリード全体をリードフレーム素材よりし薄内にしていることにより、インナーリード先端部の長いピッチ化のみならず、インナ

さらに、リードフレームの、インナーリード先端部は、断面形状がねじ方角で第1面、第2面、第3面、第4面のく面を有しており、かつ第1面は薄肉部でない素材の厚さと同じ厚さの他の部分の一方の面と同一平面上にあって第2面に向かい合っており、第3面、第4面はインナーリードの内側に向かい凹んだ形状に形成されていることより、インナーリード先端部のワイヤボンディング端に対し、角度的にも佳いものとしている。またリードフレームの外部電子部は、断面形状がねじ方角で4面を有しており、1組の向かい合った2面はリードフレーム裏面、面上にあり、他の1組の2面はそれぞれ外部電子部の内側から外側に向かい凸状であることより、角度的にも充分確保できるものとしている。又、本発明のBCAタイプの複数対止型半導体装置は、上記本発明のリードフレームを用いたもので、上記のような構成により、一層の多様化に対応できるものとしている。

## 〔0009〕

〔実施例〕本発明のリードフレームの実施例を図に示す。まず、本発明のリードフレームの実施例1を説明する。図1(a)は本実施例1のリードフレームを示した断面平図であり、図1(b)は、図1(a)の約1/4部分の大図で、図1(c)はインナーリード先端の断面図で、図1(d)は図1(a)の人1-A2における断面の一部を示した断面図である。尚、図1(a)は粗略図で、全体を分かり易くするために図1(b)に比べ、インナーリードの数、外部電子部の数は少なくしてある。図中、100はリードフレーム、110はインナーリード、110Aはインナーリード先端部、120は外部電子部、140はダムバー、150は吊りバー、160はフレーム(印張)、170は施具孔である。本実施例1のリードフレームは、42%ニッケル-銅合金を素材とし、図8に示すエッチング加工方法により形成されたBCAタイプの半導体装置用のリードフレームであり、図1(a)に示すように、インナーリード110に一体的に基づいた外部電子部120をインナーリード用試験(リードフレーム部)に沿い二次元的に配置しており、且つ、インナーリード先端部110A部だけでなくインナーリード全体がリードフレーム素材の厚さよりも薄肉に形成されている。外部電子部120はリードフレーム素材の厚さに形成されている。インナーリード110の厚さは4.0μm、インナーリード部110以外の厚さは0.15mmでリードフレーム三枚の厚さのままである。また、インナーリード先端部110Aのピッチは0.12mmと良いピッチで、半導体装置の多様化に対応できるものとしている。インナーリードの先端部110Aは、図1(c)に示すように、断面形状がねじ方角で4面を有しており、第1面110Aaはリードフレーム裏面面で、薄肉部でな

が、第2面はワイヤボンディングしやすい形となつておらず、第3面110Ab、第4面110Acはインナーリードの内側へ向かい凹んだ形をしており、第2面110Ab(ワイヤボンディング面)をよくしても角度的に佳いものとしている。外部電子部120は、図1(d)に示すように、断面形状がねじ方角で4面を有しており、1組の向かい合った2面1120a、1120bは外部電子部の内側から外側に向かい凸状である。また、図1(d)に示すように、インナーリード部110の断面形状は、図1(c)で示すインナーリード先端部110Aの断面形状と同じ形状である。尚、本実施例リードフレーム100においては、外部電子部120はダムバー140と一緒に位置している。

〔0010〕次いで、本発明のリードフレームの実施例2を説明する。図2(a)は本実施例2のリードフレーム100A示した断面平図であり、図2(b)は、図2(a)の約1/4部分の大図で、図2(c)

(イ)はインナーリード先端の断面図で、図2(c) (ロ)は図1(a)のC1-C2におけるインナーリード110の断面を示した断面図である。図2(c)

(ハ)は図1(a)のC1-C2における外部電子部120の断面を示した断面図である。尚、図2(a)は粗略図で、全体を分かり易くするために図2(b)に比べ、インナーリードの数、外部電子部の数は少なくしてある。本実施例2のリードフレームも、42%ニッケル-銅合金を素材とし、図8に示すエッチング加工方法により形成されたBCAタイプの半導体装置用のリードフレームであり、図2(a)に示すように、インナーリード110に一體的に基づいた外部電子部120をリードフレーム間に沿い二次元的に配置してあるが、実施例1のリードフレームとは異なり、インナーリード先端部110A部だけをリードフレーム素材の厚さよりも薄肉に形成している。図2(c) (イ)に示すように、インナーリード先端部110Aの断面は、実施例1の場合とは同じである。図2(c) (ロ)に示すように、実施例1のリードフレームとは異なり、半導体チップと電極部(パッド)とワイヤボンディングにて接続するためボンディングエリアを含むインナーリード先端部110A以外は外部電子部120と同じくリードフレーム素材の厚さに形成されている。この点、インナーリード先端部110Aに比べ接合部を残すことができない。図2(c) (ハ)に示すように、外部電子部120の断面には、実施例1のリードフレームと同様に、リードフレーム素材の厚さに形成されている。尚、本実施例リードフレーム100Aにおいても、外部電子部120はダムバー140と一緒に位置している。

〔0011〕尚、実施例1及び実施例2のリードフレームは、図2(a)や図2(b)に示すようにニッケル

ード先端部を直線部 110 にて固定した状態にエッチング加工した後、インナーリード 110 部を高強度テープ 190 で固定した（図 3 (b)）次に、プレス部にて、半導体次世代部の口には不満の連結部 110 B を除去して（図 2 (a)）。形成した。尚、実施例 2 のリードフレームの場合には、インナーリード先端部をダイバードに直角連結した状態にエッチング加工した後、不満部をカットしても良い。

[0012] 実施例 1 のリードフレームのエッチング加工方法は図 8 に基いて説明する。図 8 は、二部構成の実施例 1 のリードフレームのエッチング加工方法を説明するための各工程断面図であり、図 1 (b) の A1-A2 部の断面図における製造工程図である。図 8 中、810 はリードフレーム素材、820A、820B はレジストパターン。8-2 では第一の開口部、840 に第二の開口部、850 は第一の凹部、860 は第二の凹部、870 は平坦状面、880 はエッチング抵抗層を示す。また、110 はインナーリード、120 は外部端子部である。まず、4.2% ニッケル-鉄合金からなり、厚みが 0.15 mm のリードフレーム素材 810 の両面に、真クロム仕カリウムを感光剤とした水溶性カゼインレジストを空気中で露光した後、所定のパターン版を用いて、所定形状の第一の開口部 830、第二の開口部 840 ももレジストパターン 820A、820B を形成した。（図 8 (a)）

第一の開口部 830 は、後のエッチング加工において外部端子部の形状を形成するとともに、インナーリードを形成部におけるリードフレーム素材 810 をこの開口部からベタ状にリードフレーム素材よりも高さに亘ることのもので、レジストの第二の開口部 840 は、インナーリード部および外部端子部の形状を形成するためのものである。次いで、被膜 57°C、露光 4.8 Bed の硬化第二感光液を用いて、スプレー圧 2.5 kPa/cm<sup>2</sup> にて、レジストパターンが形成されたリードフレーム素材 810 の両面をエッチングし、ベタ状（平坦状）に露出された第一の凹部 850 の深さがリードフレーム素材の 1/3 に達した時点でエッチングを止めた。（図 8 (b)）

上記第 1 回目のエッチングにおいては、リードフレーム素材 810 の両面から同時にエッチングを行ったが、必ずしも両面から同時にエッチングする必要はない。少なくとも、インナーリード部形状を形成するための、所定形状の開口部をもつレジストパターン 820B が形成された面側から露出部によるエッチング加工を行い、露出されたインナーリード部形状部において、所定量エッチング加工し止めることがで可能である。本実施例のように、第 1 回目のエッチングにおいてリードフレーム素材 810 の両面から同時にエッチングする場合と、両面からエッチングすることにより、上述する第 2 回目のエ

0 回目からのみの片面エッチングの場合と比べ、第 1 回目エッチングと第 2 回目エッチングのトータル時間が短くなる。次いで、第一の開口部 830 周辺部を削除して第一の凹部 850 にエッチング抵抗層 880 としての耐エッチング性のあるガットメルト型ワックス（デ・インクテック社製のガットワックス、登録 MR-WB 6）を、ダイコータを用いて、空気中、ベタ状（平坦状）に露出された第一の凹部 850 に塗り込んだ。レジストパターン 820A ももエッチング抵抗層 880 に塗布された状態とした。（図 8 (c)）

エッチング抵抗層 880 を、レジストパターン 820A 上全面に塗布する必要はないが、第一の凹部 850 を含む一部のみ塗布することは美しい点に、図 8 (c) にてよう。第一の凹部 850 とともに、第一の開口部 830 周辺部にエッチング抵抗層 880 を塗布した。本実験で使用したエッチング抵抗層 880 は、アルカリ浴槽型のワックスであるが、基本的にエッチング液に耐性があり、エッチング時にある程度の柔軟性のもののが好ましく、尚に、上記ワックスに固定されず、UV 硬化型のものでも良い。このようにエッチング抵抗層 880 をインナーリード先端部の形状を形成するためのパターンが形成された面側の露出された第一の凹部 850 に塗り込むことにより、後工程でのエッチング時に第一の凹部 850 が遮蔽されて大きくなないようにしていふとともに、両面用なエッチング加工に対しての機能的な強度補強をしており、スプレー圧を高く（2.5 kPa/cm<sup>2</sup> 以上）とすることができ、これによりエッチングが速さ方面に進行しやすくなる。この後、第 2 回目のエッチングを行い、凹部に露出された第二の凹部 860 が形成面側からリードフレーム素材 810 をエッチングし、露出させ、インナーリード 110 および外部端子部 120 を形成した。（図 8 (d)）

第 1 回目のエッチング加工にて形成されたエッチング抵抗層 880 は平滑であるが、この面を抜き 2 面はインナーリード側にへこんだ凹状である。次いで、洗浄、エッチング抵抗層 880 の除去、レジスト膜（レジストパターン 820A、820B）の除去を行い、インナーリード 110 および外部端子部 120 が加工された図 1 (a) に示すリードフレームを得た。エッチング抵抗層 880 とレジスト膜（レジストパターン 820A、820B）の除去は水酸化ナトリウム水溶液により容易体云した。

[0013] 上記図 8 に示すリードフレームのエッチング加工方法は図 1 (b) の A1-A2 部の断面部における製造工程図を示したものであるが、図 1 (a) に示すインナーリード先端部 110A の形状も、図 9 に示したインナーリード 110 部の形状と同じようにして形成される。図 8 に示すエッチング加工方法によりインナーリード全体をリードフレームより離れて露出加工す

化を可能とし、インナーリード先端以外の箇所においてもインナーリード間の隙間遮断を可能としている。特に、図1(c)に示すように、インナーリード先端の第1面110Aとモニタ内部以外のリードフレーム部材の厚さと同じ厚さの他の部分と同一面に、第2面110Abと対向させて形成し、且つ、第3面110Ac、第4面110Adをインナーリード間に凹凸にすることが可能となる。

(0014) 図2に示す、実施例2のリードフレームは、図8に示すエッチング加工方法において、一般を覚えることによって可能することができる。即ち、インナーリード先端部110Aは図8に示すインナーリード部110作成と同じく、リードフレーム素材810の厚さより薄肉化して形成し、インナーリード110の先端部以外は、図8に示す外部部材810の作成と同じく、リードフレーム部材810と同じ厚さに形成することにより、インナーリード先端部のみをリードフレーム部材より筒内に形成した実施例2のリードフレームをエッチング加工にて作製できる。

(0015) 述べる実施例2の半導体装置のようにパンプを用いて半導体電子をインナーリードの第2面110bに形成し、インナーリードと電気的に接続する場合には、第2面110bをインナーリード間に凹んだ形状に形成した方がパンプ構成の時の許容度が大きくなる為、図9に示すエッティング加工方法が採られる。図9に示すエッティング加工方法は、第1回目のエッティング工程では、図8に示す方法と同じであるが、エッティング抵抗層880を第二の凹部860側に埋め込んだ後、第一の凹部850側から第2回目のエッティングを行い、貫通させるまで異なっている。図9に示すエッティング加工方法によって得られたリードフレームのインナーリード先端を含むインナーリードの断面形状は、図5(b)に示すように、第2面110bがインナーリード間にへこんだ凹状になる。

(0016) 尚、上記図8、図9に示すエッティング加工方法のように、エッティングを2段階にわけて行うエッティング加工方法を、一般には2段エッティング加工方法と言っており、開窓加工に有利な加工方法である。図1に示す実施例1のリードフレーム110や図2に示す実施例2のリードフレームのエッティング加工方法においては、2段エッティング加工方法と、パターン部材を工夫することにより部分的にリードフレーム部材を薄くしながら外形加工をする方法とが併用されている。リードフレーム部材を薄くした部分においては、特に、開窓加工が可能となるようとしている。図8、図9に示す、上記の方法においては、インナーリード先端部110の薄肉化加工は、目的的に得られるインナーリード先端部の厚さ(に左右されらしので、例えば、底面1を5μmなどに

mまで奥行き加工となる。底面1を3.0μm程度まで薄くし、平坦部W1を7.0μm程度とすると、インナーリード先端部ピッチ約0.12mm程度まで穴開加工ができるが、底面1、平坦部W1のとり方次第ではインナーリード先端部ピッチは更に長いピッチまで可能となる。

(0017) 本件で、本発明のBGAタイプの底面封止型半導体装置の実施例を挙げ、図を用いて説明する。まず、本発明のBGAタイプの底面封止型半導体装置の実施例1を挙げる。図4(a)は、実施例1の底面封止型半導体装置の断面図で、図4(b)、図4(c)は、それぞれ、インナーリード先端部および外部部材部の半導体装置の底面方向の断面図である。図4中、200は半導体装置、210は半導体電子子、211は電極部(パッド)、220はワイヤ、240は封止用樹脂、250は隔壁用テープ、260は絕縁性接着材、270は電子部である。本実施例1の半導体装置は、上記実施例1のリードフレームを用いたBGAタイプの底面封止型半導体装置であって、リードフレームの外部電子部120の表面に半田からなる外壁凹部とは接するためのは子部270を半導体装置の一面上に二次元的に配置して設けている。本実施例1においては、半導体電子子210は、電極部(パッド)211側の面にて、インナーリード110間に電極部211が収まるようにして、インナーリード110の第1面110a側に絕縁性接着材260を介して固定されており、電極部(パッド)211はワイヤ220にてインナーリード110の第2面110bと接続されて電気的に接続されている。本実施例1の半導体装置は、半導体電子子のサイズとは同じ大きさに封止用樹脂240にて周辺封止されており、CSP(Chip Size Package)とも言える。また、ワイヤ220にて接続するインナーリード110の先端部がリードフレーム部材より筒内に形成されていることより、半導体装置の薄型化にも貢献できるものである。

(0018) 本実施例1の半導体装置に用いられたリードフレームのインナーリード部110の断面形状は、図10(イ)(a)に示すようになっており、エッティング平坦面(第2面)110Abの幅W1にはば平んで反対側の面110Ac、(第1面)の幅W2より若干大きくなっている。W1、W2(約100μm)ともこの部分の底厚さ方向中間の幅Wよりも大きくなっている。このようにインナーリード先端部の断面は広くなつた断面形状であり、且し、又3面110Ac、第4面110Adがインナーリード間に凹んだ形状であるため、第1面110Ac、第2面110Abのどちらの面を用いてしても半導体電子子(図示せず)とインナーリード先端部110Aとワイヤによろ接続(ボンディング)が実定し、ボンディングしやすいものとなつてゐる。本実施例1の中

(1)

特許平9-8206

13

bはエッチング加工による平坦面(第2面)、110A<sub>a</sub>はリードフレーム素材面(第1面)、1020A<sub>b</sub>はワイヤ、1021A<sub>b</sub>はめつき部である。尚、エッティング平坦化部110Ab(第2面)がアラビの無い面であるため、図10(口)の(a)の場合は、特に結晶(ボンディング)適性が優れる。図10(ハ)は図13に示す加工方法にて作成されたリードフレームのインナーリード先端部1010Bと半導体電子(図示せず)との接続(ボンディング)を示すものであるが、この場合もインナーリード先端部1010Bの表面は平坦ではあるが、この部分の板厚方向の幅にはべ大きくなっている。また両面ともリードフレーム素材面である為、結晶(ボンディング)適性は本実施例のエッティング平坦面より劣る。図10(ニ)はプレス(コイニング)によりインナーリード先端部を表面化した後エッティング加工によりインナーリード先端部1010C、1010Dを加工したもの。半導体電子(図示せず)との接続(ボンディング)を示したものであるが、この場合はプレス圧(が)図に示すように平坦にならないため、どちらの面を用いて結晶(ボンディング)しても、図10(ニ)の(a)、(b)に示すように結晶(ボンディング)の面に安定性が悪く品質的にも問題となる場合が多い。尚、1010Abはコイニング面、1010A<sub>a</sub>はリードフレーム素材面である。

[0019] 次に、本発明のBCAタイプの断面封止型半導体装置の実施例2を挙げる。図5(a)は、実施例2の断面封止型半導体装置の断面図で、図5(b)、図5(c)は、それぞれインナーリード先端部および外部電子部の、半導体装置の厚み方向の断面図である。図5中、200は半導体装置、210は半導体電子、212はパンプ、240は封止用樹脂、250は基盤用テープ、270は電子部である。本実施例2の半導体装置は、4.2合金(4.2%ニッケル-鉄合金)からなる0.15mm厚のリードフレーム素材を図9に示すエッティング加工方法により、図1(a)、図1(b)に示す上記実施例1と同じ内蔵で、インナーリード全体をリードフレームの表裏より同時に形成したリードフレームを用いたBCAタイプの断面封止型半導体装置であって、リードフレームの内部電子部120の表面に半田からなる外部回路と接続するための電子部270を半導体装置の一面上に二次元的に配列して並べている。本実施例2においては、半導体電子210は、パンプ212を介してインナーリード110の先端で実2面:10bと電気的に接続している。尚、基盤用テープ250はインナーリード110の先端に近い一に並べられており、リードフレームが薄く十分に分離が困難されない場合には、リードフレームの上面にわたり貼付して下さい。

[0020] 実施例2の主な特徴は主に用いられたリードフレームのインナーリード部110の断面形状は、図

10

半導体110Ab側のはW1A<sub>a</sub>にはば平坦で反対側の面の幅W2Aより若干大きくなっている。W1A<sub>a</sub>、W2A(約10.9μm)ともこの部分の板厚3方向に他の場W<sub>A</sub>よりも大きくなっている。図10(イ)(b)に示すようにインナーリード先端部の表面は広くなつため面圧がであり、第1面110Abが平坦化で、第2面110Abがインナーリード側に凹んだ形状をしており、且つ第3面110Ac、110Abもインナーリード側に凹んだ形状をしている。第2面110Abにて定位してパンプによる接着をしあいものとしている。

[0021] 尚、本実施例2の半導体装置においては、図9に示すエッティング加工方法により作成されたリードフレームで、インナーリード全体がリードフレーム素材よりしわ方に形成されたものを用いており、図5(b)に示すように、インナーリード元は既に含むインナーリード110の第2面110bがインナーリード先端部に凹んだ形狀で、パンプ圧の許容を大きくしている。

[0022] 次に、本発明のBCAタイプの断面封止型半導体装置の実施例3を挙げる。図6(a)は、実施例3の断面封止型半導体装置の断面図で、図6(b)、図6(c)は、それぞれインナーリード先端部および外部電子部の、半導体装置の厚み方向の断面図である。図6中、200は半導体装置、210は半導体電子、211はワイヤ、220はワイヤ、240は封止用樹脂、250は基盤用テープ、260は導電性接着材、270は電子部である。本実施例3の半導体装置は、上記実施例1のリードフレームにダイパッドを有するリードフレームを使用したBCAタイプの断面封止型半導体装置であって、リードフレームの外部電子部120の表面に半田からなる外部回路と接続するための電子部270を半導体装置の一面に二次元的に配列して並べている。使用したリードフレームは、実施例1の図8に示すエッティング加工方法により、インナーリード全体およびダイパッド130をリードフレーム表裏よりも薄肉に形成したもので、ダイパッド130とこれに接続する部分を除き、残す、外側等は実施例1のリードフレームと同じである。本実施例3の半導体装置においては、ダイパッド部130は、半導体電子の電子部(パッド)211間にひまわり大ささで、半導体電子210は、半導体電子の電子部211側の面とインナーリード110の第2面110bどが同じ方向を向くようにして、ダイパッド130上に、電子部(パンプ)211側の正面を基板用テープ260により固定され、電子部(パンプ)211はワイヤにてインナーリード110の第2面110bと電気的に接続されている。このように構成することと実施例1あるいはひまわり実施例4より、半導体装置を容易にすることができる。また、ここで、導電性接着材を用いているのは、半導体電子がRTR熱をダイパッドを通じて吸収できるためである。

実施例3の半導体装置は、上記実施例1のリードフレームにダイパッドを有するリードフレームを使用したBCAタイプの断面封止型半導体装置であって、リードフレームの外側電子部120の表面に半田からなる外部回路と接続するための電子部270を半導体装置の一面に二次元的に配列して並べている。使用したリードフレームは、実施例1の図8に示すエッティング加工方法により、インナーリード全体およびダイパッド130をリードフレーム表裏よりも薄肉に形成したもので、ダイパッド130とこれに接続する部分を除き、残す、外側等は実施例1のリードフレームと同じである。本実施例3の半導体装置においては、ダイパッド部130は、半導体電子の電子部(パッド)211間にひまわり大ささで、半導体電子210は、半導体電子の電子部211側の面とインナーリード110の第2面110bとが同じ方向を向くようにして、ダイパッド130上に、電子部(パンプ)211側の正面を基板用テープ260により固定され、電子部(パンプ)211はワイヤにてインナーリード110の第2面110bと電気的に接続されている。このように構成することと実施例1あるいはひまわり実施例4より、半導体装置を容易にすることができる。また、ここで、導電性接着材を用いているのは、半導体電子がRTR熱をダイパッドを通じて吸収できるためである。

ドライントラスルを反対すれば、無効的に動作できる。図  
B-280は半導体装置の外周を囲うように図面寸29  
0:1として抜けられているが、半導体装置が特に高型とな  
って強度が不十分である場合は常に立つもので、必ず  
しも必要ではない。このように、ダイパッドと半導体二  
子とを半導体装置を介して接続することで、ダイパッドを  
グランドラインと接続した場合に抵抗効果だけでなく  
ノイズ対策にもなる。

(0023) 次に、本発明のBGAタイプの半導体装置  
半導体装置の実施例4を示す。図7(a)は、実施例  
4の底面封止型半導体装置の断面図で、図7(b)、図  
7(c)は、それぞれインナーリード先端部および外  
部電子部の、半導体装置のとくみ方向の断面図である。図  
7中、200は半導体装置、210は半導体装置、21  
1はワイヤ、220は対止用樹脂、230は被覆用テープ、2  
40は底面封止型半導体装置、250は基板封止部、270は  
電子部である。本実施例4の半導体装置は、実施例3の  
半導体装置と同じく、42%合金(42%ニッケル-鉄  
合金)にて、図8に示すエッチング加工方法により、イン  
ナーリード110全体およびダイパッド130モード  
フレーム素材の厚さより薄肉部には鋸したリードフレ  
ームを用いたBGAタイプの底面封止型半導体装置であ  
り、リードフレームの外部電子部120の表面に半導体等  
からなる外周回路と接続するための電子部270を設け  
ている。尚、ダイパッド130は実施例3にはべ大で  
半導体電子部210と略同じ大きさである。半導体電子部2  
10は、半導体電子部の電極部(パッド)211とインナ  
ーリード110の第2回110bとが同じ方向(ゼー)によ  
うにして、ダイパッド130上に、電極部(パッド)2  
11側とは反対側の面を高電圧部260により固定さ  
れ、電極部(パッド)211はワイヤ220にてインナ  
ーリード110の第2回110b側と電気的に接続さ  
れている。

(0024) 上記、実施例1～実施例4の半導体装置  
は、いずれも、即ち、図9に示されるような、2層ニッ  
チング加工方法を用い、少なくともインナーリード先端  
部をリードフレーム素材よりも薄肉に形成しており、従  
来の図12に示す、リードフレームをコア材として用い  
たBGAタイプの底面封止型半導体装置よりも、一層の  
多電子化に対応できるもので、従来に、インナーリード  
先端部をリードフレーム素材よりも薄肉に形成している  
ことにより、半導体装置の高型化にしがむでるもので  
ある。

(0025)

(発明の効果) 本発明のリードフレームは、上記のよう  
に、少なくともインナーリード先端部をリードフレーム  
素材の表面より薄肉に2段エッチング加工によって作  
れたもので、リードフレームをリードフレーム面にないこ

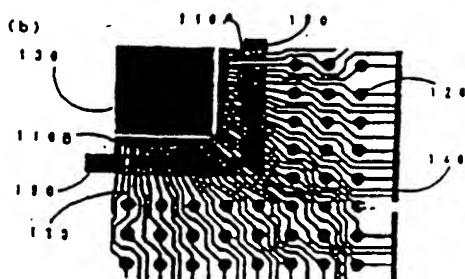
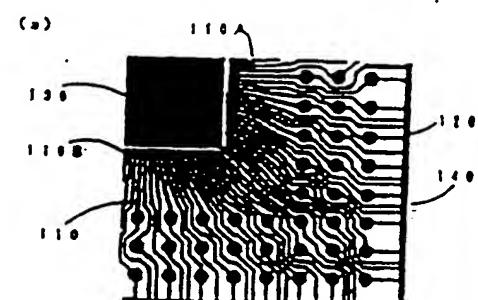
厚とのままに外形加工したリードフレームを用いたBC  
Aタイプの半導体装置に比べ、一層の多電子化が可能なB  
CAタイプの底面封止型半導体装置の形状を可能とする  
ものである。また、本発明のBCAタイプの底面封止型  
半導体装置は、上記のように、本発明のリードフレーム  
を用いたもので、一層の多電子化と高型化ができる。リ  
ードフレームを用いたBCAタイプの半導体装置の形状を  
可能とするものである。

(図面の簡単な説明)

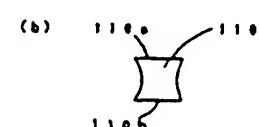
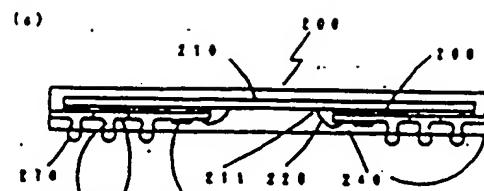
- 10 [図1] 本発明リードフレームの実施例1の底面図
  - [図2] 本発明リードフレームの実施例2の底面図
  - [図3] 本発明リードフレームを説明するための図
  - [図4] 本発明のBCAタイプ半導体装置の実施例1の  
断面図
  - [図5] 本発明のBCAタイプ半導体装置の実施例2の  
断面図
  - [図6] 本発明のBCAタイプ半導体装置の実施例3の  
断面図
  - [図7] 本発明のBCAタイプ半導体装置の実施例4の  
断面図
  - [図8] 本発明のリードフレームの製造方法を説明する  
ための工場図
  - [図9] 本発明のリードフレームの製造方法を説明する  
ための工場図
  - [図10] 本発明のリードフレームの半導体電子との接  
続性を説明するための図
  - [図11] 従来のBGA半導体装置を説明するための図
  - [図12] 従来のリードフレームを用いたBCAタイプ  
半導体装置の底面図
  - [図13] 従来のリードフレームの製造方法を説明する  
ための工場図
  - [図14] 半導体リードフレームとそれを用いた半導体装  
置の図
- (符号の説明)
- |           |            |
|-----------|------------|
| 100, 100A | リードフレーム    |
| 110       | インナーリード    |
| 110A      | インナーリード先端部 |
| 120       | 外部電子部      |
| 140       | ダムバー       |
| 150       | 吊りバー       |
| 160       | フレーム(内側)   |
| 170       | 治具孔        |
| 200       | 半導体装置      |
| 210       | 半導体電子      |
| 211       | 電極部(パッド)   |
| 220       | ワイヤ        |
| 240       | 対止用樹脂      |
| 250       | 被覆用テープ     |

810	リードフレーム素材	1210	リードフレーム
820A, 820B	レジストパターン	1211	ダイパッド
830	第一の開口部	1212	インナーリード
840	第二の開口部	1214	カビスチ子
850	第一の凹部	1220	半導体電子
860	第二の凹部	1221	電極部(パッド)
870	平坦な面	1230	ワイヤ
880	ニッティング抵抗層	1240	封止樹脂
1010B, 1010C, 1010D	インナーリード	1260	絶縁フィルム
ド先端部		1310	リードフレーム素材
1020A, 1020B, 1020C	ワイヤ	1320	フォトレジスト
1021A, 1021B, 1021C	カビスチ	1330	レジストパターン
1010Aa	リードフレーム素材面	1340	インナーリード
1010Ab	ニイニング面	1400	半導体装置
1101	半導体電子	1410	(裏面) ドフレーム
1102	基板	1411	ダイパッド
1103	モールドレジン	1412	インナーリード
1104, 1104A	反応	1412A	インナーリード先端部
1105	ダイパッド	1413	アワターリード
1108	ボンディングワイヤ	1414	ダムバー
1106A	カビスチ子	1415	フレーム(ね)部
1118	カビスチ	1420	半導体電子
1150	スルーホール	1421	電極部(パッド)
1151	黒電ガラフ	1430	ワイヤ
1200, 1200A	半導体装置	1440	封止樹脂

(図3)



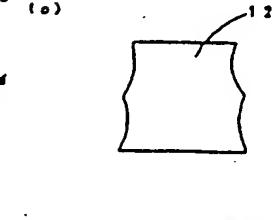
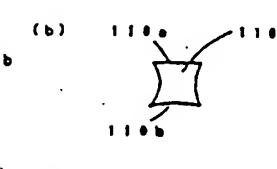
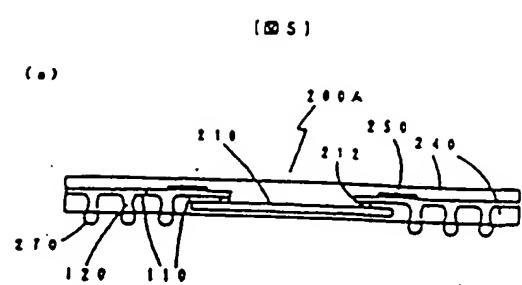
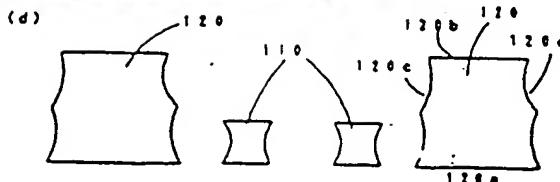
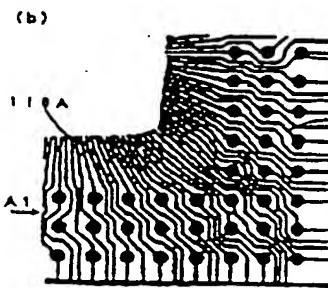
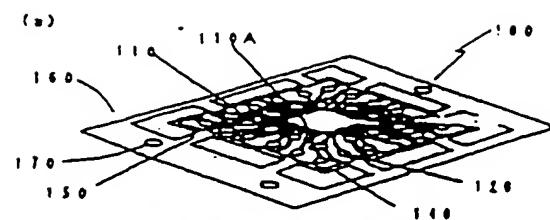
(図4)



(11)

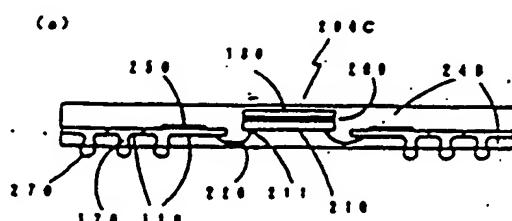
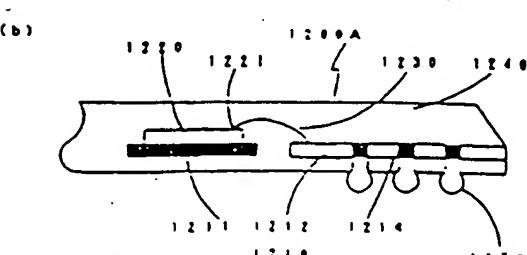
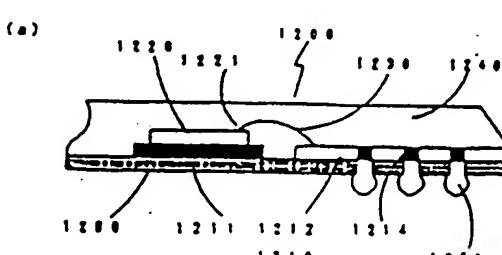
特許平9-8206

(11)



(11)

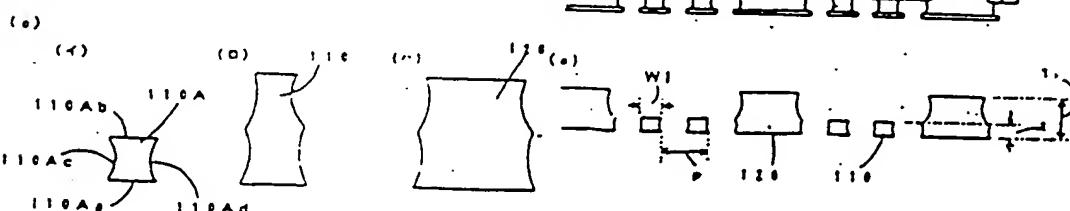
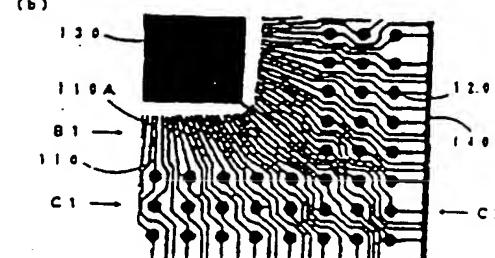
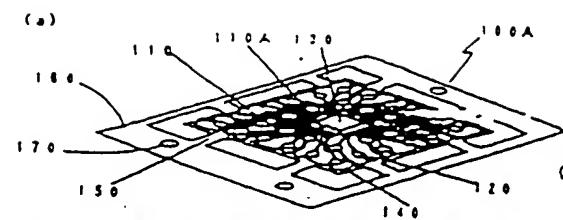
(11)



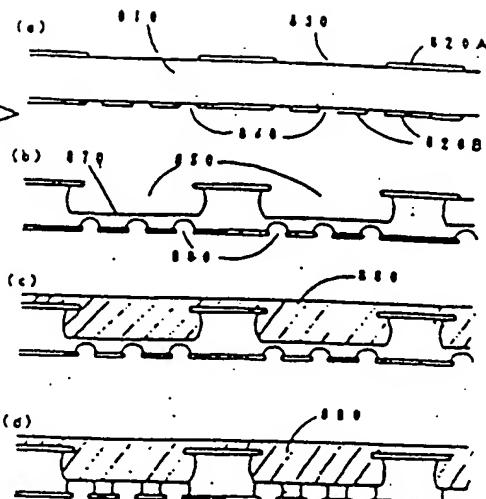
(図2)

特開平9-8206

(図2)



(図8)

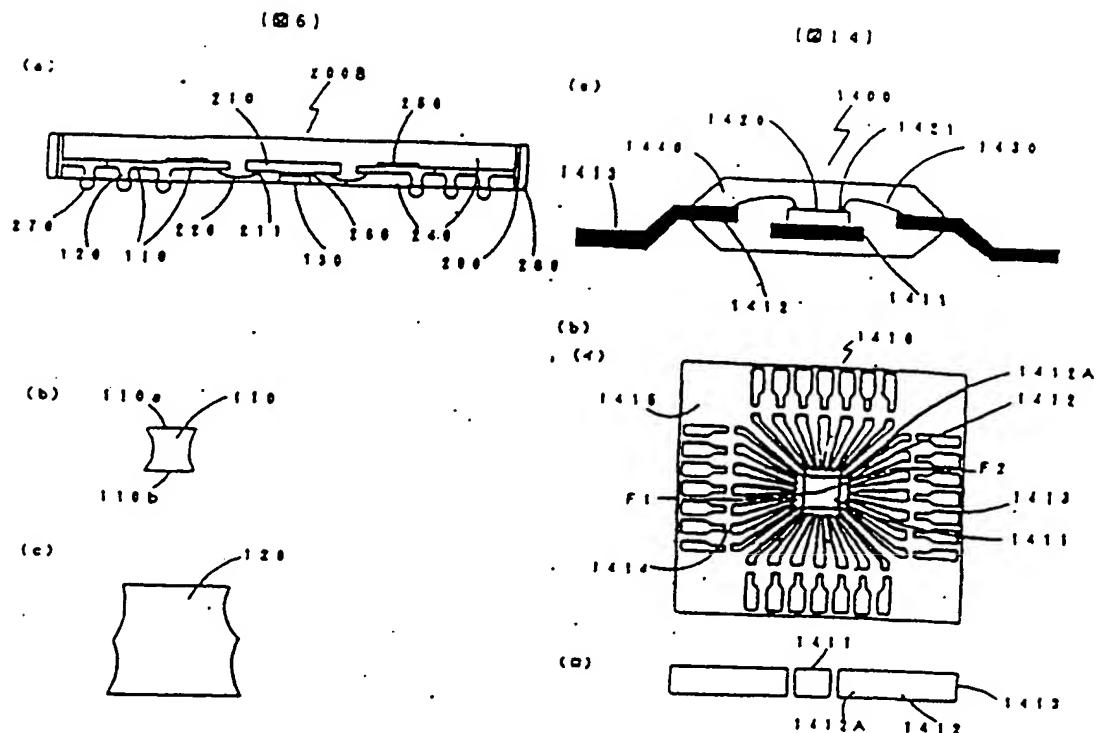


(図13)



(13)

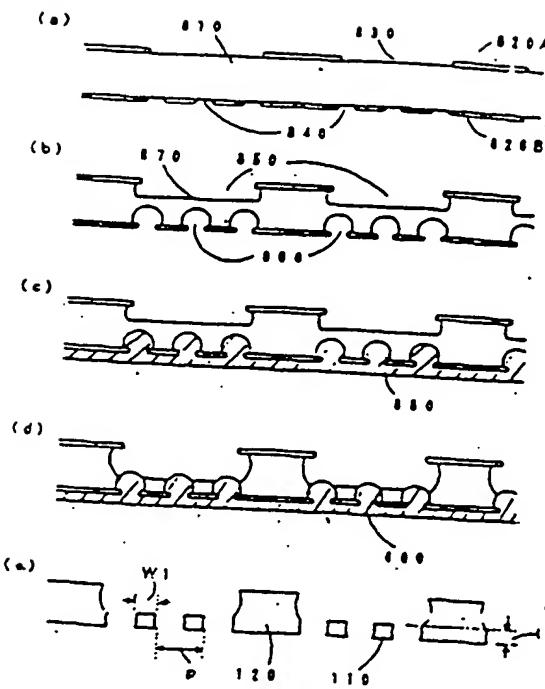
H&E 9-6206



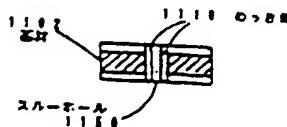
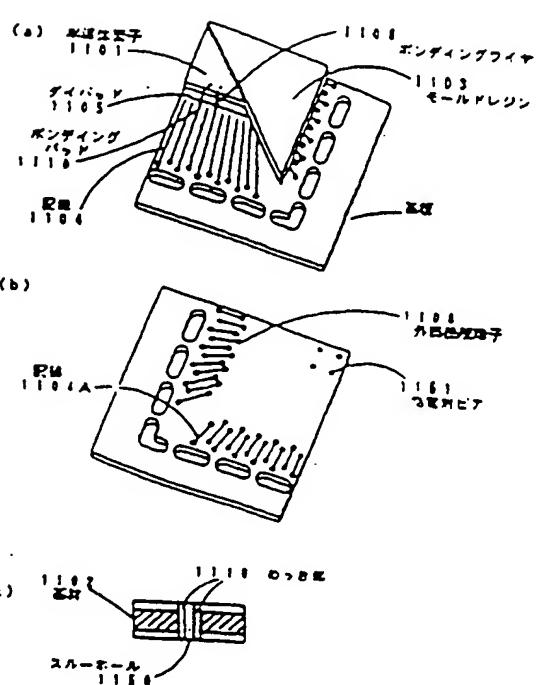
(14)

RM#9-8206

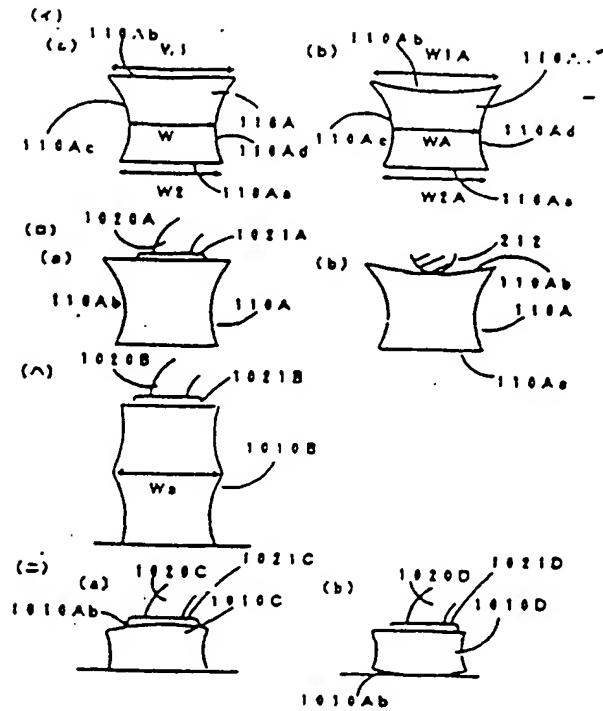
(図9)



(図11)



( FIG 10 )



Japanese Patent Laid-Open Publication No. Heisei 9-8206

(TITLE OF THE INVENTION)

LEAD FRAME AND BGA TYPE

5

RESIN ENCAPSULATED SEMICONDUCTOR DEVICE

(CLAIMS)

1. A lead frame for a BGA type semiconductor device shaped to have a thickness smaller than that of a lead frame blank at tips of inner leads thereof in accordance with a two-step etching process, comprising:

the inner leads;

outer terminal portions each integrally connected to an associated one of the inner leads, the outer terminal portions being adapted to be electrically connected to an external circuit and arranged in a two-dimensional fashion on a surface of the lead frame blank where the inner leads are formed;

20 the tips of the inner leads each having a polygonal cross-sectional shape including four faces respectively provided with a first surface, a second surface, a third surface, and a fourth surface, the first surface being opposite to the second surface and flush with one surface of the remaining portion of the inner lead having the same thickness as that of the lead frame blank, and the third

25

and fourth surfaces each having a concave shape depressed toward the inside of the inner lead; and

5 the outer terminal portions each having a polygonal cross-sectional shape including four faces respectively provided with a pair of opposite surfaces being flush with respective surfaces of the lead frame blank and another pair of opposite surfaces having a convex shape protruded toward the outside of the outer terminal portion.

10 2. The lead frame according to claim 1, wherein each of the inner leads is shaped to have a thickness smaller than that of the lead frame blank at the entire portion thereof.

15 3. A BGA type resin encapsulated semiconductor device fabricated using a lead frame according to claim 1 or 2, comprising:

20 terminal portions made of solder and arranged on a surface of the lead frame where the outer terminal portions are formed, the terminal portions serving to be connected to an external circuit;

25 a semiconductor chip fixedly attached, at a surface thereof formed with electrode portions, to the first surfaces of the inner leads by an insulating adhesive interposed therebetween in such a fashion that the

electrode portions are received between facing ones of the inner leads;

the electrode portions each being electrically connected to the second surface of an associated one of the inner leads by a wire.

4. A BGA type resin encapsulated semiconductor device fabricated using a lead frame according to claim 1 or 2, comprising:

10 terminal portions made of solder and arranged on a surface of the lead frame where the outer terminal portions are formed, the terminal portions serving to be connected to an external circuit; and

15 a semiconductor chip electrically connected to the second surfaces of the inner leads by bumps, respectively.

5. The BGA type resin encapsulated semiconductor device according to claim 4, wherein the second surface of the tip of each inner lead has a concave shape depressed 20 toward the inside of the inner lead.

6. A BGA type resin encapsulated semiconductor device fabricated using a lead frame according to claim 1 or 2, comprising:

25 terminal portions made of solder and arranged on a

surface of the lead frame where the outer terminal portions are formed, the terminal portions serving to be connected to an external circuit;

5       the lead frame including a die pad having the same thickness as that of the inner lead tip and a size allowing the die pad to be received between facing ones of electrode portions of a semiconductor chip;

10      the semiconductor chip fixedly attached, at a surface thereof formed with the electrode portions, to the die pad by an adhesive in such a fashion that the surface formed with the electrode portions directs in the same direction as the second surfaces of the inner lead tips; and

15      the electrode portions each being electrically connected to the second surface of an associated one of the inner leads by a wire.

7. A BGA type resin encapsulated semiconductor device fabricated using a lead frame according to claim 1 or 2, comprising:

20      terminal portions made of solder and arranged on a surface of the lead frame where the outer terminal portions are formed, the terminal portions serving to be connected to an external circuit;

25      the lead frame including a die pad having the same thickness as that of the inner lead tip and a size allowing

the die pad to be received between facing ones of electrode portions of a semiconductor chip;

5           the semiconductor chip fixedly attached, at a surface thereof opposite to a surface formed with the electrode portions, to the die pad by an adhesive in such a fashion that the electrode portions direct in the same direction as the second surfaces of the inner lead tips; and

10           the electrode portions each being electrically connected to the second surface of an associated one of the inner leads by a wire.

(DETAILED DESCRIPTION OF THE INVENTION)

(FIELD OF THE INVENTION)

15           The present invention relates to a lead frame member for a surface-mounting type resin encapsulated semiconductor device in which a lead frame is used as a core to form a circuit, and more particularly to a method for fabricating a lead frame member for BGA type semiconductor devices.

20

(DESCRIPTION OF THE PRIOR ART)

Recently, semiconductor devices have been developed to have a higher integration degree and a higher performance in pace with the tendency of electronic 25 appliances to have a high performance and a light, thin,

simple, and miniature structure. A representative example of such semiconductor devices is an ASIC of LSI. In such a highly integrated semiconductor device having a higher performance, a rapid signal processing is conducted. Due 5 to such a rapid signal processing, the inductance generated in the package may exceed a negligible level. In order to reduce the inductance in the package, proposals of increasing the number of power source terminals and ground terminals or reducing a substantial inductance have been 10 made. In accordance with such proposals, an increase in the integration degree and performance of a semiconductor device results in an increase in the total number of outer terminals (pins). For this reason, semiconductor devices should have a multipinned structure using a further 15 increased number of pins. Among semiconductor devices such as ASICs, representative examples of which are multipinned ICs, in particular, gate arrays or standard cells, microcomputers, or DSPs (Digital Signal Processors), those using lead frames include surface-mounting packages such as 20 QFPs (Quad Flat Packages). Currently, QFPs up to a 300-pin class are practically being used. Such a QFP uses a single-layered lead frame 1410 shown in Fig. 14b. The cross-sectional structure of this QFP is shown in Fig. 14a. As shown in Fig. 14a, a semiconductor chip 1420 is mounted 25 on a die pad 1411. Terminals (electrode pads) 1421 of the

semiconductor chip 1420 are connected with tips 1412A of inner leads 1412 plated with, for example, gold, by means of wires 1430, respectively. Thereafter, a resin encapsulating process is conducted, thereby forming a resin encapsulate 1440. Dam bars are then partially cut. Finally, outer leads 1413 are bent to have a gulli-wing shape. Thus, the fabrication of the QFP is completed. This QFP has a structure in which the outer leads adapted to be connected to an external circuit are simultaneously arranged at the four sides of the package. That is, such a QFP is one developed to cope with a requirement for an increase in the number of terminals (pins). In the above case, the single-layered lead frame 1410 used is typically fabricated by processing a metal plate, made of cobalt, 42 ALLOY (42% Ni/Fe alloy), or a copper-based alloy exhibiting a high conductivity and a high strength, in accordance with an etching process or a stamping process to have a shape shown in Fig. 14b. In Fig. 14b, the portion (1) is a plan view of the single-layered lead frame, and the portion (□) is a cross sectional view taken along the line F1 - F2 of the portion (1).

However, semiconductor devices recently developed to have a higher signal processing speed and a higher performance (function) have inevitably involved use of an increased number of terminals. In the case of QFPs, use of

an increased number of terminals may be achieved by reducing the pitch of outer terminals. However, where the pitch of outer terminals is reduced, the outer terminals should have a correspondingly reduced width. This results  
5 in a degradation in the strength of the outer terminals. As a result, there may be problems in regard to the positional accuracy or the accuracy of flatness in the terminal shaping process for processing the outer terminals to have a gull-wing shape. In QFPs, the pitch of the outer  
10 leads is further reduced from 0.4 mm to 0.3 mm. Due to such a reduced outer lead pitch, it is difficult to achieve the mounting process. This causes a problem in that a sophisticated board mounting technique should be realized.

In order to avoid problems involved in conventional  
15 QFPs in regard to the mounting efficiency and mounting possibility, a plastic package semiconductor device called a "BGA (Ball Grid Array) semiconductor package" has been developed which is a surface-mounting package having solder balls as outer terminals thereof. The BGA semiconductor package is a surface-mounting semiconductor device (plastic package) in which outer terminals thereof are comprised of solder balls arranged in a matrix array on a package surface. In order to increase the number of input/output terminals in such a BGA semiconductor package, a  
20 semiconductor chip is mounted on one surface of a double-  
25

sided circuit board. To the other surface of the circuit board, spherical solder balls are attached as electrodes for outer terminals. The electrodes for outer terminals are electrically conducted with the semiconductor chip via through holes, respectively. Since the spherical solder balls are arranged in the form of an array, it is possible to increase the terminal pitch, as compared to semiconductor devices using a lead frame. Accordingly, it is possible to achieve an increase in the number of input/output terminals without any difficulty in mounting semiconductor devices. The above mentioned BGA semiconductor package typically has a structure as shown in Fig. 11a. Fig. 11b is a view taken toward the lower surface of a blank shown in Fig. 11a. Fig. 11c shows through holes 1150. This BGA semiconductor package includes a die pad 1105 and bonding pads 1110 provided at one surface of a flat blank (resin plate) 1102 made of, for example, BT resin (bismalleid-based resin) to exhibit an anti-heat dissipation property. The die pad 1105 is adapted to mount a semiconductor chip 1101 thereon. The bonding pads 1110 are electrically connected with the semiconductor chip 1101 by means of bonding wires 1108, respectively. The BGA semiconductor package also includes outer connecting terminals 1106 provided at the other surface of the blank 1102. The outer connecting terminals

1106 are comprised of solder balls arranged in the form of a lattice or in a zig-zag fashion to electrically and physically connect the resulting semiconductor device to an external circuit. The bonding pads 1110 are electrically connected to the outer connecting terminals 1106 by means of wires 1104, through holes 1150, and wires 1104A, respectively. However, such a BGA semiconductor package has a complex configuration in that the blank 1102 is formed at both surfaces thereof with the circuits adapted to connect the semiconductor chip mounted on the BGA semiconductor package with the wires and electrodes, as outer terminals, adapted to allow the semiconductor package to be mounted on a printed circuit board after being configured into a semiconductor device. Furthermore, a short circuit may occur in the through holes 1150 due to a thermal expansion of the resin.. Thus, the above mentioned BGA semiconductor package involves various problems in regard to manufacture and reliance.

In order to simplify the fabrication process of semiconductor packages while avoiding a degradation in reliability, various proposals have recently been made in which a circuit having a lead frame as a core thereof is formed, as different from the structure shown in Figs. 11a to 11c. In BGA semiconductor packages using such a lead frame, holes are perforated at areas respectively

corresponding to the outer terminal portions 1214 of the lead frame 1210. The lead frame 1210 is fixedly attached to an insulating film 1260. Such a structure is illustrated in Fig. 12a. A similar structure is shown in 5 Fig. 12b. Conventionally, the lead frame used in BGA semiconductor packages adapted to use such a lead frame is fabricated using an etching process as shown in Figs. 13a to 13e. Inner and outer terminal portions 1212 and 1214 are formed to have the same thickness as that of a lead 10 frame blank used. The etching process illustrated in Figs. 13a to 13e will now be described in brief. First, a thin plate (a lead frame blank 1310) made of a copper alloy or a nickel-copper alloy containing 42% Ni to have a thickness of about 0.25 mm is sufficiently cleaned. Thereafter, a 15 photoresist 1320 such as a water-soluble casein resist using potassium dichromate as a sensitive agent is uniformly coated over both surfaces of the thin plate (Fig. 13b).

Subsequently, the resist films are exposed to highly- 20 pressurized mercury while using a mask formed with a desired pattern, and then developed using a desired developing solution, thereby forming resist patterns 1330 (Fig. 13c). If necessary, an additional process such as a film hardening process or a cleaning process is then 25 conducted. An etching solution containing a ferric

chloride solution as a principal component thereof is sprayed onto the thin plate (lead frame blank 1310), thereby causing the thin plate to be etched to have through holes having a desired shape and size (Fig. 13d).

5       The remaining resist films are then removed (Fig. 13e). After the removal of the resist films, the resulting structure is cleaned to obtain a desired lead frame. Thus, the etching process is completed. The lead frame obtained after the etching process is then subjected to a silver plating process at desired regions thereof. Following processes such as a cleaning process and a drying process, the inner lead portions of the lead frame are subjected to a tapping process using a polyimide-based adhesive tape for their fixing. If necessary, a bending process for tab bars  
10      and a down-setting process for the die pad are conducted. In the etching process shown in Fig. 13a to 13e, however, the thin plate is etched in both the direction of the thickness and directions perpendicular to the direction of the thickness. For this reason, there is a limitation in  
15      the miniaturization of inner lead pitches of lead frames.  
20      the miniaturization of inner lead pitches of lead frames.

{SUBJECT MATTERS TO BE SOLVED BY THE INVENTION}

As described above, BGA type resin encapsulated semiconductor devices using a lead frame as a core thereof can have an increased pitch of outer terminals adapted to  
25

be connected to an external circuit while achieving an easy mounting for semiconductor devices, thereby allowing an increase in the number of input and output terminals, as compared to semiconductor packages using a single-layered lead frame shown in Fig. 14b while having outer terminals having the same structure as those of the BGA type semiconductor packages. However, there has also been growing demand for an increase in the number of terminals 5 semiconductor packages. To this end, a reduced pitch of inner leads has been essentially required. Consequently, it is necessary to provide schemes capable of solving such a requirement. The present invention is adapted to solve the above mentioned requirement. In accordance with the present invention, it is possible to use an increased 10 number of terminals. The present invention is adapted to provide a BGA type semiconductor device in which a circuit using a lead frame as its core is formed. Also, the present invention is adapted to provide a lead frame used 15 to fabricate the above mentioned semiconductor device.

20

[MEANS FOR SOLVING THE SUBJECT MATTERS]

The lead frame of the present invention is shaped to have a thickness smaller than that of a lead frame blank at tips of inner leads thereof in accordance with a two-step 25 etching process. This lead frame is characterized in that

it comprises: inner leads; outer terminal portions each integrally connected to an associated one of the inner leads, the outer terminal portions being adapted to be electrically connected to an external circuit and arranged in a two-dimensional fashion on a surface of the lead frame blank where the inner leads are formed; the tips of the inner leads each having a polygonal cross-sectional shape including four faces respectively provided with a first surface, a second surface, a third surface, and a fourth surface, the first surface being opposite to the second surface and flush with one surface of the remaining portion of the inner lead having the same thickness as that of the lead frame blank, and the third and fourth surfaces each having a concave shape depressed toward the inside of the inner lead; and the outer terminal portions each having a polygonal cross-sectional shape including four faces respectively provided with a pair of opposite surfaces being flush with respective surfaces of the lead frame blank and another pair of opposite surfaces having a convex shape protruded toward the outside of the outer terminal portion. The present invention is also characterized by a BGA type resin encapsulated semiconductor device fabricated using the lead frame of the present invention comprising: terminal portions made of solder and arranged on a surface of the lead frame where the outer terminal

portions are formed, the terminal portions serving to be connected to an external circuit; a semiconductor chip fixedly attached, at a surface thereof formed with electrode portions, to the first surfaces of the inner leads by an insulating adhesive interposed therebetween in such a fashion that the electrode portions are received between facing ones of the inner leads; the electrode portions each being electrically connected to the second surface of an associated one of the inner leads by a wire.

Also, the present invention is characterized by a BGA type resin encapsulated semiconductor device fabricated using the lead frame of the present invention comprising: terminal portions made of solder and arranged on a surface of the lead frame where the outer terminal portions are formed, the terminal portions serving to be connected to an external circuit; and a semiconductor chip electrically connected to the second surfaces of the inner leads by bumps, respectively. This BGA type resin encapsulated semiconductor device is also characterized in that the second surface of the tip of each inner lead has a concave shape depressed toward the inside of the inner lead. The present invention is further characterized by a BGA type resin encapsulated semiconductor device fabricated using the lead frame of the present invention comprising: terminal portions made of solder and arranged on a surface

of the lead frame where the outer terminal portions are formed, the terminal portions serving to be connected to an external circuit; the lead frame including a die pad having the same thickness as that of the inner lead tip and a size allowing the die pad to be received between facing ones of electrode portions of a semiconductor chip; the semiconductor chip fixedly attached, at a surface thereof formed with the electrode portions, to the die pad by an adhesive in such a fashion that the surface formed with the electrode portions directs in the same direction as the second surfaces of the inner lead tips; and the electrode portions each being electrically connected to the second surface of an associated one of the inner leads by a wire. The present invention is also characterized by a BGA type resin encapsulated semiconductor device fabricated using the lead frame of the present invention comprising: terminal portions made of solder and arranged on a surface of the lead frame where the outer terminal portions are formed, the terminal portions serving to be connected to an external circuit; the lead frame including a die pad having the same thickness as that of the inner lead tip and a size allowing the die pad to be received between facing ones of electrode portions of a semiconductor chip; the semiconductor chip fixedly attached, at a surface thereof opposite to a surface formed with the electrode portions,

to the die pad by an adhesive in such a fashion that the electrode portions direct in the same direction as the second surfaces of the inner lead tips; and the electrode portions each being electrically connected to the second surface of an associated one of the inner leads by a wire.

[FUNCTIONS]

The lead frame of the present invention is fabricated using a two-step etching process in such a fashion that it has a thickness smaller than that of a lead frame blank used at its inner lead tips. In particular, the present invention makes it possible to fabricate a lead frame having a thickness smaller than that of a lead frame blank at tips of inner leads thereof in accordance with a two-step etching process. That is, it is possible, in accordance with the present invention, to fabricate a lead frame having a thickness smaller than that of a lead frame blank at tips of inner leads thereof in accordance with an etching process shown in Figs. 8 or 9, thereby being capable of achieving a reduction in the pitch of inner leads. In accordance with the present invention, it is also possible to provide a BGA type resin encapsulated semiconductor device capable of achieving use of an increased number of terminals by arranging outer terminal portions in a two-dimensional fashion on a lead frame

surface." The present invention also achieves a reduction in the pitch of the inner leads as well as a reduction in the tip width of the inner leads by allowing the inner leads to have a thickness smaller than that of the lead frame blank. The tip of each inner lead has a polygonal cross-sectional shape including four faces respectively provided with a first surface, a second surface, a third surface, and a fourth surface. The first surface is opposite to the second surface and flush with one surface of the remaining portion of the inner lead having the same thickness as that of the lead frame blank. The third and fourth surfaces have a concave shape depressed toward the inside of the inner lead. Accordingly, an increase in strength is obtained with respect to the wire bonding width of the inner lead tips. Each outer terminal portion has a polygonal cross-sectional shape including four faces respectively provided with a pair of opposite surfaces being flush with respective surfaces of the lead frame blank and another pair of opposite surfaces having a convex shape protruded toward the outside of the outer terminal portion. Accordingly, the outer terminal portions have a sufficient strength. By virtue of the lead frame of the present invention having the above mentioned structure, the BGA type resin encapsulated semiconductor device of the present invention can have an increased number of

terminals.

(EMBODIMENTS)

Hereinafter, embodiments of the present invention  
5 will be described in conjunction with the annexed drawings.  
First, a lead frame according to a first embodiment of the  
present invention will be described. Fig. 1a is a plan  
view schematically illustrating the lead frame according to  
the first embodiment of the present invention. Fig. 1b is  
10 an enlarged view corresponding to about 1/4 portion of Fig.  
1a. Fig. 1c is a cross-sectional view illustrating tips of  
inner leads. Fig. 1d is a cross-sectional view partially  
taken along the line A1 - A2 of Fig. 1a.

For the easy understanding of the illustrated  
15 structure, Fig. 1a, which is a schematic view, illustrates  
a reduced number of inner leads and a reduced number of  
outer terminal portions, as compared to Fig. 1b. In the  
figures, the reference numeral 100 denotes a lead frame,  
110 inner leads, 110A tips of the inner leads, 120 outer  
20 terminal portions, 140 dam bars, 150 tab bars, 160 a frame  
portion, and 170 die holes. The lead frame according to  
the first embodiment is made of a nickel-copper alloy  
containing 42% Ni. This lead frame is fabricated in  
accordance with an etching process shown in Fig. 6 so that  
25 it is used for BGA type semiconductor devices. As shown in

Fig. 1a, outer terminal portions 120, each of which is integrally connected to an associated one of inner leads 110, are arranged in a two-dimensional fashion on a surface where the inner leads are formed, that is, a lead frame 5 surface. The inner leads 110 has a thickness smaller than that of a blank for the lead frame at its entire portion including tips 110A. The outer terminal portions 120 have the same thickness as that of the lead frame blank. The inner leads 110 have a thickness of 40  $\mu\text{m}$  whereas the 10 portions of the lead frame other than the inner leads 110 have a thickness of 0.15 mm corresponding to the thickness of the lead frame blank. The tips 110A of the inner leads have a small pitch of 0.12 mm so as to achieve an increase 15 in the number of terminals for semiconductor devices. As shown in Fig. 1c, the tip 110A of each inner lead has a substantially polygonal cross-sectional shape having four faces. The first face denoted by the reference numeral 110Aa corresponds to a surface of the lead frame blank. That is, the first face 110Aa is flush with one surface of 20 an associated one of the outer terminal portions 120 involving no reduction in thickness. The second face denoted by the reference numeral 110Ab is a surface etched, but having a substantially flat profile, so as to allow an easy wire bonding thereon. The third and fourth faces 110Ac 25 and 110Ad have a concave shape depressed toward the inside

of the associated inner lead, respectively. This structure exhibits a high strength even though the second face (wire bonding surface) 110Ab is narrow. Each outer terminal portion 120 has a substantially polygonal cross-sectional shape having four faces, as shown in Fig. 1d. A pair of opposite faces 120a and 120b have a convex shape protruded toward the outside of the associated outer terminal portion, respectively. As shown in Fig. 1d, each inner lead 110 has a cross-sectional shape corresponding to that of its tip 110A shown in Fig. 1c. In the case of the lead frame 100 according to this embodiment, the outer terminal portions 120 are integrally connected to dam bars 140.

Now, a lead frame according to a second embodiment of the present invention will be described. Fig. 2a is a plan view schematically illustrating the lead frame, denoted by the reference numeral 100a, according to the first embodiment of the present invention. Fig. 2b is an enlarged view corresponding to about 1/4 portion of Fig. 1a. Fig. 2c(1) is a cross-sectional view illustrating tips of inner leads. Fig. 2c(2) is a cross-sectional view partially taken along the line C1 - C2 of Fig. 2b, illustrating the cross sections of the inner leads. Fig. 2c(3) is a cross-sectional view partially taken along the line C1 - C2 of Fig. 2b, illustrating the cross sections of the outer terminal portions 120. For the easy

understanding of the illustrated structure, Fig. 2a, which is a schematic view, illustrates a reduced number of inner leads and a reduced number of outer terminal portions, as compared to Fig. 2b. Similarly to the first embodiment, 5 the lead frame according to the second embodiment is made of a nickel-copper alloy containing 42% Ni. This lead frame is fabricated in accordance with an etching process shown in Fig. 8 so that it is used for BGA type semiconductor devices. As shown in Fig. 2a, outer terminal 10 portions 120, each of which is integrally connected to an associated one of inner leads 110, are arranged in a two-dimensional fashion on a lead frame surface. As different from the first embodiment, the inner leads 110 of the second embodiment has a thickness smaller than that of a 15 blank for the lead frame only at its tips 110A. As shown in Fig. 2c(1), the tip 110A of each inner lead has a cross-sectional shape substantially same as that of the first embodiment. The entire portion of each inner lead, except for a portion corresponding to a bonding region 20 where an electrode portion (pad) is wire-bonded to a semiconductor chip for the connection therebetween, has the same thickness as that of the lead frame blank, similarly to the outer terminal portions 120, as shown in Fig. 2c(□). For this reason, the above mentioned portion of 25 each inner lead cannot have a small pitch as in the tip.

As shown in Fig. 2c(1), each outer terminal portion 120 has a cross section with the same thickness as that of the lead frame blank, as in the lead frame of the first embodiment. Also, in the case of the lead frame 100A according to this embodiment, the outer terminal portions 120 are integrally connected to dam bars 140.

Where either the lead frame of the first embodiment or the lead frame of the second embodiment may be easily twisted at its inner leads 110 when it is formed into the shape of Fig. 1 or 2 in accordance with an etching process. To this end, the lead frame is subjected to an etching process in a state in which the tips of the inner leads are fixed together by means of connecting portions 110B. After completion of the etching process, the inner leads 110 are fixedly held by reinforcing tapes 190 (Fig. 3b). When a semiconductor device is fabricated using the lead frame, those fixing members are removed using a press or the like (Fig. 2a). In the case of the lead frame according to the second embodiment, it can be subjected to the etching process under the condition in which the tip of each inner lead is directly connected to the die pad. In this case, unnecessary portions of the lead frame are cut off after the etching process.

A method for etching the lead frame of the first embodiment will now be described in conjunction with Figs.

8a to 8e. Figs. 8a to 8e are cross-sectional views respectively illustrating sequential steps of the etching process for the lead frame of the first embodiment shown in Fig. 1. In particular, the cross-sectional views of Figs. 5 8a to 8e correspond to a cross section taken along the line A1 - A2 of Fig. 1b, respectively. In Figs. 8a to 8e, the reference numeral 810 denotes a lead frame blank, 820A and 820B resist patterns, 830 first openings, 840 second openings, 850 first concave portions, 870 flat surfaces, 10 and 880 an etch-resistant layer, respectively. Also, the reference numeral 110 denotes inner leads, and the reference numeral 120 denotes outer terminal portions. First, a water-soluble casein resist using potassium dichromate as a sensitive agent is coated over both 15 surfaces of a lead frame blank 810 made of a nickel-copper alloy containing 42% Ni to have a thickness of about 0.15 mm. Using desired pattern plates, the resist films are patterned to form resist patterns 820A and 820B having first openings 830 and second openings 840, respectively 20 (Fig. 8a).

The first openings 830 are adapted to not only form a desired shape for outer terminal portions in a subsequent process, but also to allow the lead frame blank 810 to be etched in accordance with the pattern shape of the first 25 openings to have a reduced thickness at inner lead forming

regions. The second openings 840 are adapted to form desired shapes of inner leads and outer terminal portions. Thereafter, both surfaces of the lead frame blank 810 formed with the resist patterns are etched using a 4% Be ferric chloride solution of 57°C at a spray pressure of 2.5 kg/cm<sup>2</sup>. The etching process is terminated at the point of time when first recesses 850 etched to have a flat etched bottom surface have a depth h corresponding to 1/3 of the thickness of the lead frame blank (Fig. 8b).

Although both surfaces of the lead frame blank 810 are simultaneously etched in the primary etching process, it is unnecessary to simultaneously both surface of the lead frame blank 810. For instance, an etching process may be conducted at the surface of the lead frame blank formed with the resist pattern 820B having openings of a desired shape to form at least a desired shape of the inner leads using an etchant solution. In this case, the etching process is terminated after obtaining a desired etching depth at the etched inner lead forming regions. The reason why both surfaces of the lead frame blank 810 are simultaneously etched, as in this embodiment, is to reduce the etching time taken in a secondary etching process as described hereinafter. The total time taken for the primary and secondary etching processes is less than that taken in the case of etching only one surface of the lead

frame blank on which the resist pattern 820B is formed. Subsequently, the surface provided with the first recesses 850 respectively etched at the first openings 830 is entirely coated with an etch-resistant hot-melt wax (acidic wax type MR-WB6, The Inctec Inc.) by a die coater to form an etch-resistant layer 880 so as to fill up the first recesses 850 and to cover the resist pattern 820A (Fig. 8c).

It is unnecessary to coat the etch-resistant layer 880 over the entire portion of the surface provided with the resist pattern 820A. However, it is preferred that the etch-resistant layer 880 be coated over the entire portion of the surface formed with the first recesses 850 and first openings 830, as shown in Fig. 8c, because it is difficult to coat the etch-resistant layer 880 only on the surface portion including the first recesses 850. Although the hot-melt wax employed in this embodiment is an alkali-soluble wax, any suitable wax resistant to the etching action of the etchant solution and remaining somewhat soft during etching may be used. A wax for forming the etch-resistant layer 880 is not limited to the aforementioned wax, but may be a wax of a UV-setting type. Since each first recess 850 etched by the primary etching process at the surface formed with the pattern adapted to form a desired shape of the inner lead tip is filled up

with the etch-resistant layer 880, it is not further etched in the following secondary etching process. The etch-resistant layer 880 also enhances the mechanical strength of the lead frame blank for the second etching process, thereby enabling the second etching process to be conducted while keeping a high accuracy. It is also possible to enable a second etchant solution to be sprayed at an increased spraying pressure, for example, 2.5 kg/cm or above, in the secondary etching process. The increased spraying pressure promotes the progress of etching in the direction of the thickness of the lead frame blank in the secondary etching process. Then, the lead frame blank is subjected to a secondary etching process. In this secondary etching process, the lead frame blank 810 is etched at its surface formed with second recesses 860 to completely perforate the second recesses 860, thereby forming inner leads 110 and outer terminal portions 120 (Fig. 8d).

The bottom surface 870 of each recess formed by the primary etching process is flat. However, both side surfaces of each recess positioned at opposite sides of the bottom surface 870 have a concave shape depressed toward the inside of the inner lead. Then, the lead frame blank is cleaned. After completion of the cleaning process, the etch-resistant layer 880, resist films (resist patterns

820A and 820B) are sequentially removed. Thus, a lead frame having a structure of Fig. 1a formed with the inner leads 110 and outer terminal portions 120 is obtained. The removal of the etch-resistant layer 880 and resist films (resist patterns 820A and 820B) is achieved using a sodium hydroxide solution serving to dissolve them.

Although the lead frame etching method of Figs. 8a to 8e correspond to a cross section taken along the line A1 - A2 of Fig. 1b, respectively, the inner lead tips 110A of Fig. 1a may be formed to have the same shape as that of the inner leads 110 shown in Fig. 8. Since the entire portion of each inner lead is formed to have a thickness smaller than that of the lead frame blank in accordance with the etching process shown in Fig. 8, it is possible to obtain a reduced pitch of the inner lead tips. It is also possible to allow the inner leads to have a reduced pitch at their portions other than their tips. In particular, it is possible to provide a structure in which the first surface 110Aa of the inner lead tip can be flush with the lead frame blank portions having the same thickness as that of the lead frame blank, except for the lead frame blank portions having a reduced thickness, while being opposite to the second surface 110Ab, as shown in Fig. 1c. In this case, the third and fourth surfaces 110Ac and 110Ad may have a concave shape depressed toward the inside of the

inner lead.

The lead frame of the second embodiment shown in Figs. 2a to 2e can be fabricated using an etching method partially modified from that of Figs. 8a to 8e. That is,  
5 the tip 110A of each inner lead is formed to have a thickness smaller than that of the lead frame blank 810 using the same method as that shown in Figs. 8a to 8e and used for the fabrication of the inner leads 110. The remaining portions of the lead frame except for the inner  
10 lead tips are formed to have the same thickness as that of the lead frame blank 810 using the same process as used in the formation of the outer terminal portions 120 shown in Figs. 8a to 8e. Thus, the lead frame of the second embodiment, in which only the inner lead tips have a thickness smaller than that of the lead frame blank, can be  
15 fabricated using an etching process.

Where a semiconductor chip is mounted on the second surfaces 110b of the inner leads by means of bumps for an electrical connection therebetween, as in a semiconductor  
20 device according to a second embodiment as described hereinafter, an increased tolerance for the connection by bumps is obtained when the second surface 110b has a concave shape depressed toward the inside of the inner lead. To this end, an etching method shown in Figs. 9a to  
25 9e is used in this case. The etching method shown in Figs.

9a to 9e is the same as that of Figs. 8a to 8e in association with its primary etching process. After completion of the primary etching process, the etching method is conducted in a manner different from that of the 5 etching method of Figs. 8a to 8e in that the second etching process is conducted at the side of the first recesses 850 after filling up the second recesses 860 by the etch-resist layer 880, thereby completely perforating the second recesses 860. The cross section of each inner lead, 10 including its tip, formed in accordance with the etching method of Figs. 9a to 9e, has a concave shape depressed toward the inside of the inner lead at the second surface 110b, as shown in Fig. 5.

The etching method in which the etching process is 15 conducted at two separate steps, respectively, as in that of Figs. 8a to 8e or 9a to 9e, is generally called a "two-step etching method". This etching method is advantageous in that a desired fineness can be obtained. The etching method used to fabricate the lead frame 110 of the first 20 embodiment shown in Figs. 1a to 1d or the lead frame of the second embodiment shown in Figs. 2a to 2c involves the two-step etching method and the method for forming a desired shape of each lead frame portion while reducing the thickness of each pattern formed. In particular, the 25 etching method makes it possible to achieve a desired

fineness. In accordance with the method illustrated in Figs. 8a to 8e or Figs. 9a to 9e, the fineness of the tip of each inner lead formed by this method is dependent on the thickness of the inner lead tip. For example, where the blank has a thickness  $t$  reduced to 50  $\mu\text{m}$ , the inner leads can have a fineness corresponding to a lead width  $W_1$  of 100  $\mu\text{m}$  and a tip pitch  $p$  of 0.15 mm, as shown in Fig. 8e. In the case of using a small blank thickness  $t$  of about 30  $\mu\text{m}$  and a lead width  $W_1$  of 70  $\mu\text{m}$ , it is possible to form inner leads having a fineness corresponding to an inner lead pitch  $p$  of 0.12 mm. Of course, it may be possible to form inner leads having a further reduced tip pitch by adjusting the blank thickness  $t$  and the lead width  $W_1$ .

Now, preferred embodiments of the present invention associated with a BGA type resin encapsulated semiconductor device will be described in conjunction with the annexed drawings. First, a first embodiment of a BGA type resin encapsulated semiconductor device will be described. Fig. 4a is a cross-sectional view illustrating the BGA type resin encapsulated semiconductor device according to the first embodiment. Figs. 4b and 4c are cross-sectional views taken in the direction of the thickness of the semiconductor device to illustrate one inner lead tip and one outer lead portion, respectively. In Figs. 4a to 4c, the reference numeral 200 denotes the semiconductor device, 211 electrode portions (pads), 220 wires, 240 a resin encapsulate, 250 reinforcing tapes, 260 an insulating adhesive, and 270 terminal portions, respectively. The BGA type resin encapsulated semiconductor device is fabricated using the lead frame according to the first embodiment. In this BGA type resin encapsulated semiconductor device, terminal portions 270, which are made of solder and adapted to connect to an external circuit, are arranged in a two-dimensional fashion on respective surfaces of outer

terminal portions 120 included in the lead frame. In this first embodiment, a semiconductor chip 210 is fixedly attached to the first surfaces 110a of inner leads 110 by means of an insulating adhesive 260 at its surface formed with electrode portions (pads) 211 in such a fashion that the electrode portions (pads) 211 are interposed between facing ones of the inner leads 110. Each electrode portion (pad) 211 is electrically connected to the second surface 110b of an associated one of the inner leads 110 by means of a wire 220. The semiconductor device of this first embodiment is encapsulated by a resin encapsulate 240 having a size substantially same as that of the semiconductor chip. This semiconductor device is also called a "CSP (Chip Size Package)". Since the tip of each inner lead 110 connected with the semiconductor chip by the associated wire 220 has a thickness smaller than that of the lead frame blank, the semiconductor device can have a thin structure.

The inner leads 110 of the lead frame used in the semiconductor device of this first embodiment has a cross-sectional shape as shown in Fig. 10(1)a. The inner lead 110 has an etched flat surface (second surface) 110Ab which has a width W1 slightly more than the width W2 of an opposite surface 110Aa (first surface). The widths W1 and W2 are more than the width W at the central portion of the inner lead when viewed in the direction of the inner lead thickness. Thus, the tip of the inner lead has a cross-sectional shape having opposite wide surfaces while having a third surface 110Ac and a fourth surface 110Ad with a concave shape depressed toward the inside of the inner lead. By virtue of such a structure, a stable connection and an easy bonding are achieved in either case in which the inner lead tip 110A is wire-bonded to the semiconductor chip (not shown) at its first surface 110Aa or its second surface 110Ab. In the illustrated case, however, the etched surface (Fig. 10(1)a) is used as a bonding surface. In the figure, the reference numeral 110Ab denotes the flat surface (second surface) formed by an etching process, 110Aa the surface of the lead frame blank (first surface), 1020A wires, and 1021a plated portions, respectively. Since the etched flat surface 110Ab (second surface) is not rough, it exhibits a superior aptitude for connection (bonding) in the case of Fig. 10(1)a. Fig. 10(1)b illustrates the connection (bonding) of the inner lead tip 110B of the lead frame fabricated in accordance with an etching method shown in Fig. 13 to a semiconductor chip (not shown). In this case, the inner lead tip 110B is

flat at both surfaces thereof. However, the surfaces of the inner lead tip 1010B have a width not more than the width defined between them in the thickness direction. Since both the surfaces are portions of the unprocessed surfaces of the blank for forming this lead frame, the aptitude thereof for connection (bonding) is inferior to that of the etched flat surface of the inner lead tip in accordance with this embodiment. Fig. 10(--) illustrates the tips 1010C and 1010D of inner leads formed in accordance with an etching process after being processed to have a reduced thickness and then subjected to an etching process and then connected to a semiconductor chip (not shown). Since the surface of each inner lead tip, at which a pressing process is conducted, is not flat, as shown in the figure, the tip is unstable during a connection (bonding) process, which may cause a problem in the reliability of the semiconductor package, as shown in Figs. 10(--)a and 10(--)b. In the figures, the reference numeral 1010Ab denotes a coining surface, and the reference numeral 1010Aa denotes a lead frame blank surface.

A second embodiment of the present invention associated with a BGA type resin encapsulated semiconductor device will now be described. Fig. 5a is a cross-sectional view illustrating the BGA type resin encapsulated semiconductor device according to the second embodiment. Figs. 5b and 5c are cross-sectional views taken in the direction of the thickness of the semiconductor device to illustrate one inner lead tip and one outer lead portion, respectively. In Figs. 5a to 5c, the reference numeral 200 denotes the semiconductor device, 210 a semiconductor chip, 212 bumps, 240 a resin encapsulate, 250 reinforcing tapes, and 270 terminal portions, respectively. The BGA type resin encapsulated semiconductor device is fabricated using a lead frame made of a nickel-copper alloy containing 42% Ni to have a thickness of about 0.15 mm and processed to have the same shape as that in the first embodiment of Figs. 1a and 1b in accordance with an etching process of Figs. 9a to 9e while having, at the entire portion of each inner lead, a thickness smaller than that of a blank for the lead frame. In this BGA type resin encapsulated semiconductor device, terminal portions 270, which are made of solder and adapted to connect to an external circuit, are arranged in a two-dimensional fashion on one surface of the semiconductor device. In this second embodiment, a semiconductor chip 210 is mounted near the tips of the inner leads 110 by means of bumps 212. Where the strength of the inner leads is insufficient due to a thin structure of the lead frame, the semiconductor chip 210 may be

attached to the lead frame over the entire portion of the lead frame.

The inner leads 110 of the lead frame used in the semiconductor device of this second embodiment has a cross-sectional shape as shown in Fig. 10(1)b. The inner lead 110 has an etched flat surface (second surface) 110Ab which has a width W1A slightly more than the width W2A of an opposite surface. The widths W1A and W2A (about 100  $\mu\text{m}$ ) are more than the width WA at the central portion of the inner lead when viewed in the direction of the inner lead thickness. Thus, the tip of the inner lead has a cross-sectional shape having opposite wide surfaces. The first surface 110Aa is flat whereas the second surface 110Ab has a concave shape depressed toward the inside of the inner lead. The third and fourth surfaces 110Ac and 110Ad also have a concave shape depressed toward the inside of the inner lead. By virtue of such a structure, a stable and easy connection at the second surface 110Ab is achieved.

The semiconductor device according to this second embodiment uses the lead frame fabricated in accordance with the etching method of Figs. 9a to 9e while having a thickness smaller than that of the lead frame blank at the entire portion of the inner lead thereof. The lead frame also has a concave shape depressed toward the inside of the inner lead tip at the second surface 110b of the inner lead 110 including the tip. By virtue of such a lead frame structure, an increased tolerance for the connection by bumps is obtained.

A third embodiment of the present invention associated with a BGA type resin encapsulated semiconductor device will now be described. Fig. 6a is a cross-sectional view illustrating the BGA type resin encapsulated semiconductor device according to the third embodiment. Figs. 6b and 6c are cross-sectional views taken in the direction of the thickness of the semiconductor device to illustrate one inner lead tip and one outer lead portion, respectively. In Figs. 6a to 6c, the reference numeral 200 denotes the semiconductor device, 210 a semiconductor chip,

211 wires, 220 a conductive adhesive, 270 terminal portions, 280 a protective frame portion, and 290 an adhesive, respectively. The BGA type resin encapsulated semiconductor device is fabricated using a lead frame having a die pad along with the lead frame structure of the first embodiment. In this BGA type resin encapsulated semiconductor device, terminal portions 270, which are made of solder and adapted to connect to an external circuit, are arranged in a two-dimensional fashion on one surface of the semiconductor device. The lead frame used in this second embodiment is fabricated using the etching method of Figs. 8a to 8e according to the first embodiment to have a thickness smaller than that of the lead frame blank at the entire portion of the inner lead and the die pad 130. This lead frame is the same as that of the first embodiment in terms of the used blank and shape, except for the die pad 130 and portions associated with the die pad 130. In the semiconductor device of this third embodiment, the die pad 130 has a size allowing it to be received between facing electrode portions (pads) 211 of the semiconductor chip 210. The semiconductor chip 210 is mounted on the die pad 130 in such a fashion that its surface provided with the electrode portions (bumps) 211 directs in the same direction as the second surface 110b of each inner lead 110 under the condition in which the surface provided with the

electrode portions 211 is attached to the die pad 130 by means of a conductive adhesive 260. The electrode portions (bumps) 211 are electrically connected to the second surfaces 110b of the inner leads 110 by means of wires, 5 respectively. By virtue of such a structure, the semiconductor device of this embodiment can have a further thinned structure, as compared to that of the first embodiment or fourth embodiment. The reason why the conductive adhesive is used in this embodiment is to 10 dissipate heat generated in the semiconductor device through the die pad. Where terminal portions are provided at the lower surface of the die pad for a connection to a ground line, it is possible to more effectively dissipate heat. A protective frame portion 280 is mounted by means 15 of an adhesive 290 to cover the peripheral portion of the semiconductor device. This protective frame portion 280 is used where the semiconductor device has an insufficient strength due to its thinned structure. Accordingly, the protective frame portion 280 is not an essential element. 20 In this embodiment, the die pad and semiconductor chip are connected together by means of the conductive adhesive, as mentioned above. Accordingly, where the die pad is connected to a ground line, it is possible to not only obtain a heat dissipation effect, but also to solve a 25 problem associated with noise.

A fourth embodiment of the present invention associated with a BGA type resin encapsulated semiconductor device will now be described. Fig. 7a is a cross-sectional view illustrating the BGA type resin encapsulated semiconductor device according to the fourth embodiment. Figs. 7b and 7c are cross-sectional views taken in the direction of the thickness of the semiconductor device to illustrate one inner lead tip and one outer lead portion, respectively. In Figs. 7a to 7c, the reference numeral 200 denotes the semiconductor device, 210 a semiconductor chip, 211 pads, 220 wires, 240 a resin encapsulate, 250 reinforcing tapes, 260 a conductive adhesive, and 270 terminal portions, respectively. The semiconductor device of the fourth embodiment is a BGA type resin encapsulated semiconductor device fabricated using a lead frame made of a nickel-copper alloy containing 42% Ni and processed to have the same shape as that in the third embodiment in accordance with an etching process of Figs. 8a to 8e while having, at the entire portion of each inner lead and its die pad 130, a thickness smaller than that of a blank for the lead frame. In this BGA type resin encapsulated semiconductor device, terminal portions 270, which are made of solder and adapted to connect to an external circuit, are arranged in a two-dimensional fashion on one surface of the semiconductor device. The die pad 130 has a size

larger than that of the third embodiment, but substantially equal to that of the semiconductor chip 210. The semiconductor chip 210 is mounted on the die pad 130 in such a fashion that its surface provided with the electrode portions (bumps) 211 directs in the same direction as the second surface 110b of each inner lead 110 under the condition in which a surface opposite to the surface provided with the electrode portions 211 is attached to the die pad 130 by means of a conductive adhesive 260. The 5 electrode portions (bumps) 211 are electrically connected to the second surfaces 110b of the inner leads 110 by means of wires, respectively.

10

All the semiconductor devices of the first through fourth embodiments use a two-step etching method shown in 15 Figs. 8 or 9 and have a thickness smaller than that of a lead frame blank used at least its inner lead tip. Accordingly, these semiconductor devices achieves a further increase in the number of terminals, as compared to conventional BGA type resin encapsulated semiconductor 20 devices using a lead frame as a core, as in Fig. 12. Since the tips of the inner leads have a thickness smaller than that of the lead frame blank, it is possible to fabricate a semiconductor device having a thinned structure.

25 (EFFECTS OF THE INVENTION)

As apparent from the above description, the lead frame of the present invention is fabricated using a two-step etching process in such a fashion that it has a thickness smaller than that of a lead frame blank used at 5 its inner lead tips. The present invention makes it possible to provide a BGA type resin encapsulated semiconductor device capable of achieving use of an increased number of terminals by arranging outer terminal portions in a two-dimensional fashion on a lead frame 10 surface, as compared to conventional BGA semiconductor devices using a lead frame processed in such a fashion that it has the same thickness as that of the lead frame blank at the tips of inner leads thereof, as shown in Fig. 12. The BGA type resin encapsulated semiconductor device of the 15 present invention is fabricated using the above mentioned lead frame of the present invention. Accordingly, the BGA type resin encapsulated semiconductor device can have a thinned structure while having an increased number of terminals. Thus, the present invention provides a BGA type 20 semiconductor device using a lead frame.

substantially equal to a semiconductor chip in a dimension in X and Y directions except in a direction of thickness. The resin-encapsulated semiconductor device in accordance with the present invention means a semiconductor device employing a lead frame among the defined CSP type semiconductor device.

In the CSP type semiconductor device described above, the terminal portions made of solder are formed on each of the terminal columns and is externally exposed from the encapsulating resin, but the terminal portions do not necessarily need to be protruded from the encapsulating resin. Moreover, if necessary, the outside face of each terminal column which is exposed externally from the encapsulating resin may be covered with a protective frame by means of an adhesive.

#### (FUNCTIONS)

The resin-encapsulated semiconductor device in accordance with the present invention can meet a demand for an increase in the number of terminals and has a miniaturized structure and thus an increased mounting efficiency. At this time, in the resin-encapsulated semiconductor device, as the removal process of the dam bars by press working or the forming process of the outer leads as in the case of using a mono-layered lead frame

shown in Fig. 11b is not required, there is no problem such as bending or coplanarity of the outer leads due to this process. More particularly, the use of a multipinned lead frame shaped in a manner that inner leads have a thickness smaller than that of the lead frame blank by a two-step etching process, that is, the inner leads are arranged at a fine pitch, can meet a demand for an increase in the pin number of the semiconductor device. Moreover, as the resin-encapsulated semiconductor device is fabricated in such a manner that it is equal to that of a semiconductor chip in size, it can be miniaturized. In addition, each of the inner leads fabricated by a two-step etching process as shown Fig. 8 has a rectangular cross-sectional shape including four faces respectively provided with a first surface, a second surface, a third surface, and a fourth surface, the first surface being opposite to the second surface and flush with one surface of the remaining portion of the inner lead having the same thickness as that of the lead frame blank, and the third and fourth surfaces each having a concave shape depressed toward the inside of the inner lead. Thus, the second surface of each inner lead is flat, and is excellent in wire-bonding property. Moreover, as the first surface of each inner lead is flat and the third and fourth surfaces of the inner leads each have a concave shape depressed toward the inside of the inner